

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

PATENT COOPERATION TREATY

From the INTERNATIONAL BUREAU

PCT

NOTICE INFORMING THE APPLICANT OF THE COMMUNICATION OF THE INTERNATIONAL APPLICATION TO THE DESIGNATED OFFICES

(PCT Rule 47.1(c), first sentence)

To:

OBINATA, Tomio
Yamamoto Building 2F
4, Kagurazaka 3-chome
Shinjuku-ku
Tokyo 162-0825
JAPON



Date of mailing (day/month/year) 08 September 2000 (08.09.00)		IMPORTANT NOTICE	
Applicant's or agent's file reference 319803305971			
International application No. PCT/JP99/01035	International filing date (day/month/year) 04 March 1999 (04.03.99)	Priority date (day/month/year)	
Applicant HITACHI, LTD. et al			

1. Notice is hereby given that the International Bureau has communicated, as provided in Article 20, the international application to the following designated Offices on the date indicated above as the date of mailing of this Notice:
KR,US

In accordance with Rule 47.1(c), third sentence, those Offices will accept the present Notice as conclusive evidence that the communication of the international application has duly taken place on the date of mailing indicated above and no copy of the international application is required to be furnished by the applicant to the designated Office(s).

2. The following designated Offices have waived the requirement for such a communication at this time:
EP,JP

The communication will be made to those Offices only upon their request. Furthermore, those Offices do not require the applicant to furnish a copy of the international application (Rule 49.1(a-bis)).

3. Enclosed with this Notice is a copy of the international application as published by the International Bureau on
08 September 2000 (08.09.00) under No. WO 00/52753

REMINDER REGARDING CHAPTER II (Article 31(2)(a) and Rule 54.2)

If the applicant wishes to postpone entry into the national phase until 30 months (or later in some Offices) from the priority date, a demand for international preliminary examination must be filed with the competent International Preliminary Examining Authority before the expiration of 19 months from the priority date.

It is the applicant's sole responsibility to monitor the 19-month time limit.

Note that only an applicant who is a national or resident of a PCT Contracting State which is bound by Chapter II has the right to file a demand for international preliminary examination.

REMINDER REGARDING ENTRY INTO THE NATIONAL PHASE (Article 22 or 39(1))

If the applicant wishes to proceed with the international application in the national phase, he must, within 20 months or 30 months, or later in some Offices, perform the acts referred to therein before each designated or elected Office.

For further important information on the time limits and acts to be performed for entering the national phase, see the Annex to Form PCT/IB/301 (Notification of Receipt of Record Copy) and Volume II of the PCT Applicant's Guide.

<p>The International Bureau of WIPO 34, chemin des Colombettes 1211 Geneva 20, Switzerland</p> <p>Facsimile No. (41-22) 740.14.35</p>	<p>Authorized officer J. Zahra</p> <p>Telephone No. (41-22) 338.83.38</p>
---	--

PATENT COOPERATION TREATY

PCT

NOTIFICATION OF ELECTION

(PCT Rule 61.2)

From the INTERNATIONAL BUREAU

To:

Assistant Commissioner for Patents
United States Patent and Trademark
Office
Box PCT
Washington, D.C.20231
ETATS-UNIS D'AMERIQUE

in its capacity as elected Office

Date of mailing: 08 September 2000 (08.09.00)	
International application No.: PCT/JP99/01035	Applicant's or agent's file reference: 319803305971
International filing date: 04 March 1999 (04.03.99)	Priority date:
Applicant: SATO, Masayuki et al	

1. The designated Office is hereby notified of its election made:

☒ in the demand filed with the International preliminary Examining Authority on:

04 March 1999 (04.03.99)

☐ in a notice effecting later election filed with the International Bureau on:

2. The election ☒ was

☐ was not

made before the expiration of 19 months from the priority date or, where Rule 32 applies, within the time limit under Rule 32.2(b).

The International Bureau of WIPO 34, chemin des Colombettes 1211 Geneva 20, Switzerland Facsimile No.: (41-22) 740.14.35	Authorized officer: J. Zahra Telephone No.: (41-22) 338.83.38
---	---

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP99/01035

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl⁶ H01L21/82, H01L21/822, H01L27/04, G06F17/50

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl⁶ H01L21/82, H01L21/822, H01L27/04, G06F17/50

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Toroku Jitsuyo Shinan Koho	1994-1999
Kokai Jitsuyo Shinan Koho	1971-1999	Jitsuyo Shinan Toroku Koho	1996-1999

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP, 9-237283, A (Ricoh Co., Ltd.), 9 September, 1997 (09. 09. 97), Figs. 8 to 29 (Family: none)	1-16
A	JP, 8-115357, A (Fujitsu Ltd.), 7 May, 1996 (07. 05. 96), Fig. 1 (Family: none)	1-16
A	JP, 7-152794, A (NEC Corp.), 16 June, 1990 (16. 06. 95), Fig. 1 (Family: none)	1-16

☐ Further documents are listed in the continuation of Box C.
 ☐ See patent family annex.

* Special categories of cited documents:

- "A" document defining the general state of the art which is not considered to be of particular relevance
- "E" earlier document but published on or after the international filing date
- "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
- "O" document referring to an oral disclosure, use, exhibition or other means
- "P" document published prior to the international filing date but later than the priority date claimed

- "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
- "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
- "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
- "&" document member of the same patent family

Date of the actual completion of the international search
26 May, 1999 (26. 05. 99)Date of mailing of the international search report
8 June, 1999 (08. 06. 99)Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

P C T

E P



国際調査報告

(法 8 条、法施行規則第40、41条)

[P C T 1 8 条、P C T 規則43、44]

出願人又は代理人 の書類記号 319803305971	今後の手続きについては、国際調査報告の送付通知様式(P C T / I S A / 2 2 0) 及び下記 5 を参照すること。	
国際出願番号 P C T / J P 9 9 / 0 1 0 3 5	国際出願日 (日.月.年) 0 4 . 0 3 . 9 9	優先日 (日.月.年)
出願人 (氏名又は名称) 株式会社日立製作所		

国際調査機関が作成したこの国際調査報告を法施行規則第41条 (P C T 1 8 条) の規定に従い出願人に送付する。
この写しは国際事務局にも送付される。

この国際調査報告は、全部で 2 ページである。

☐ この調査報告に引用された先行技術文献の写しも添付されている。

1. 国際調査報告の基礎

a. 言語は、下記に示す場合を除くほか、この国際出願がされたものに基づき国際調査を行った。

☐ この国際調査機関に提出された国際出願の翻訳文に基づき国際調査を行った。

b. この国際出願は、ヌクレオチド又はアミノ酸配列を含んでおり、次の配列表に基づき国際調査を行った。

☐ この国際出願に含まれる書面による配列表

☐ この国際出願と共に提出されたフレキシブルディスクによる配列表

☐ 出願後に、この国際調査機関に提出された書面による配列表

☐ 出願後に、この国際調査機関に提出されたフレキシブルディスクによる配列表

☐ 出願後に提出した書面による配列表が出願時における国際出願の開示の範囲を超える事項を含まない旨の陳述書の提出があった。

☐ 書面による配列表に記載した配列とフレキシブルディスクによる配列表に記録した配列が同一である旨の陳述書の提出があった。

2. ☐ 請求の範囲の一部の調査ができない (第 I 欄参照)。

3. ☐ 発明の単一性が欠如している (第 II 欄参照)。

4. 発明の名称は ☒ 出願人が提出したものを承認する。

☐ 次に示すように国際調査機関が作成した。

5. 要約は ☒ 出願人が提出したものを承認する。

☐ 第 III 欄に示されているように、法施行規則第47条 (P C T 規則38.2(b)) の規定により国際調査機関が作成した。出願人は、この国際調査報告の発送の日から 1 カ月以内にこの国際調査機関に意見を提出することができる。

6. 要約書とともに公表される図は、

第 1 2 図とする。 ☐ 出願人が示したとおりである。

☐ なし

☒ 出願人は図を示さなかった。

☐ 本図は発明の特徴を一層よく表している。

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int.Cl⁶ H01L21/82, H01L21/822, H01L27/04, G06F17/50

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int.Cl⁶ H01L21/82, H01L21/822, H01L27/04, G06F17/50

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1922-1996
 日本国公開実用新案公報 1971-1999
 日本国登録実用新案公報 1994-1999
 日本国実用新案登録公報 1996-1999

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	JP, 9-237283, A (株式会社リコー) 9. 9月. 1997 (09. 09. 97) 第8~29図 (ファミリー無し)	1-16
A	JP, 8-115357, A (富士通株式会社) 7. 5月. 1994 (07. 05. 96) 第1図 (ファミリー無し)	1-16
A	JP, 7-152794, A (日本電気株式会社) 16. 6月. 1990 (16. 06. 95) 第1図 (ファミリー無し)	1-16

☐ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
 「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
 「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
 「O」口頭による開示、使用、展示等に言及する文献
 「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献
 「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
 「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
 「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
 「&」同一パテントファミリー文献

国際調査を完了した日

26. 05. 99

国際調査報告の発送日

08.06.99

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)
 郵便番号 100-8915
 東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

大嶋 洋一

4 L 9170

電話番号 03-3581-1101 内線 3497



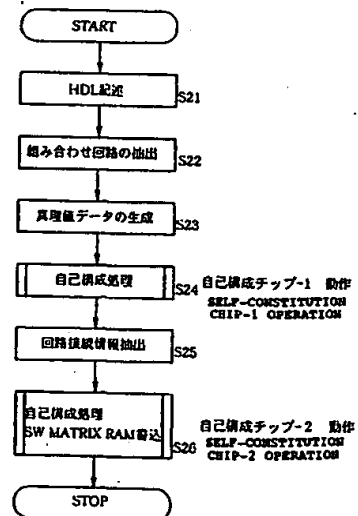
(51) 国際特許分類 H01L 21/82, 21/822, 27/04, G06F 17/50	A1	(11) 国際公開番号 WO00/52753 (43) 国際公開日 2000年9月8日(08.09.00)
(21) 国際出願番号 PCT/JP99/01035 (22) 国際出願日 1999年3月4日(04.03.99) (71) 出願人 (米国を除くすべての指定国について) 株式会社 日立製作所(HITACHI, LTD.)(JP/JP) 〒101-8010 東京都千代田区神田駿河台四丁目6番地 Tokyo, (JP) (72) 発明者 ; および (75) 発明者 / 出願人 (米国についてのみ) 佐藤正幸(SATO, Masayuki)(JP/JP) 大嶋孝幸(OSHIMA, Takayuki)(JP/JP) 志水 勲(SHIMIZU, Isao)(JP/JP) 高橋秀明(TAKAHASHI, Hideaki)(JP/JP) 〒187-0022 東京都小平市上水本町五丁目20番1号 株式会社 日立製作所 半導体事業本部内 Tokyo, (JP) (74) 代理人 弁理士 大日方富雄(OBINATA, Tomio) 〒162-0825 東京都新宿区神楽坂3丁目4番地 山本ビル2階 Tokyo, (JP)		(81) 指定国 JP, KR, US, 欧州特許 (AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE) 添付公開書類 国際調査報告書

(54) Title: SEMICONDUCTOR INTEGRATED CIRCUIT AND METHOD FOR DESIGNING LOGIC INTEGRATED CIRCUIT COMPRISING THE SAME

(54) 発明の名称 半導体集積回路およびそれを用いた論理集積回路の設計方法

(57) Abstract

By using a semiconductor integrated self-constituting circuit capable of constituting an arbitrary logic, a control unit or control circuit interprets design data of function level described in a language, for example, HDL, and a signal for determining the logic structure of the self-constituting circuit is fed from the control unit or control circuit to the self-constituting circuit so as to constitute a logic integrated circuit having a desired logic function.



S21 ... DESCRIBE HDL
 S22 ... EXTRACT COMBINED CIRCUIT
 S23 ... GENERATE TRUTH VALUE DATA
 S24 ... PERFORM SELF-CONSTITUTING
 S25 ... EXTRACT CIRCUIT CONNECTION INFORMATION
 S26 ... PERFORM SELF-CONSTITUTING AND PERFORM
 WRITE IN SW MATRIX RAM

任意の論理を構成可能な半導体集積回路化された自己構成回路を用いて、HDLのような言語で記述された機能レベルの設計データを制御装置もしくは制御回路で解読して、任意の論理を構成可能な自己構成回路の論理構成を決定する信号を、上記制御装置または制御回路から上記自己構成回路に与えることにより所望の論理機能を有する論理集積回路を構成するようにした。

PCTに基づいて公開される国際出願のパンフレット第一頁に掲載されたPCT加盟国を同定するために使用されるコード(参考情報)

AE	アラブ首長国連邦	DM	ドミニカ	KZ	カザフスタン	RU	ロシア
AG	アンティグア・バーブーダ	DZ	アルジェリア	LC	セントルシア	SD	スーダン
AL	アルバニア	EE	エストニア	LI	リヒテンシュタイン	SE	スウェーデン
AM	アルメニア	ES	スペイン	LK	スリ・ランカ	SG	シンガポール
AT	オーストリア	FI	フィンランド	LR	リベリア	SI	スロヴェニア
AU	オーストラリア	FR	フランス	LS	レソト	SK	スロヴァキア
AZ	アゼルバイジャン	GA	ガボン	LT	リトアニア	SL	シエラ・レオネ
BA	ボスニア・ヘルツェゴビナ	GB	英国	LU	ルクセンブルグ	SN	セネガル
BB	バルバドス	GD	グレナダ	LV	ラトヴィア	SZ	スワジランド
BE	ベルギー	GE	グルジア	MA	モロッコ	TD	チャード
BF	ブルキナ・ファソ	GH	ガーナ	MC	モナコ	TG	トーゴ
BG	ブルガリア	GM	ガンビア	MD	モルドヴァ	TJ	タジキスタン
BJ	ベナン	GN	ギニア	MG	マダガスカル	TM	トルクメニスタン
BR	ブラジル	GR	ギリシャ	MK	マケドニア旧ユーゴスラヴィア共和国	TR	トルコ
BY	ベラルーシ	GW	ギニア・ビサオ	ML	マリ	TT	トリニダード・トバゴ
CA	カナダ	HR	クロアチア	MN	モンゴル	TZ	タンザニア
CF	中央アフリカ	HU	ハンガリー	MR	モーリタニア	UA	ウクライナ
CG	コンゴ	ID	インドネシア	MW	マラウイ	UG	ウガンダ
CH	スイス	IE	アイルランド	MX	メキシコ	US	米国
CI	コートジボアール	IL	イスラエル	MZ	モザンビーク	UZ	ウズベキスタン
CM	カメルーン	IN	インド	NE	ニジェール	VN	ヴェトナム
CN	中国	IS	アイスランド	NL	オランダ	YU	ユーゴスラヴィア
CR	コスタ・リカ	IT	イタリア	NO	ノールウェー	ZA	南アフリカ共和国
CU	キューバ	JP	日本	NZ	ニュージーランド	ZW	ジンバブエ
CY	キプロス	KE	ケニア	PL	ポーランド		
CZ	チェコ	KG	キルギスタン				
DE	ドイツ	KN	セント・キッツ				

明 細 書

半導体集積回路およびそれを用いた論理集積回路の設計方法

5 技術分野

本発明は、半導体集積回路の設計さらには論理集積回路の構築方式に利用して有効な技術に関する。

背景技術

- 10 近年、論理集積回路の開発すなわち設計からその試作までは、図15に示すような手順に従って行われるようになって来ている。すなわち、論理集積回路の開発は、図15に示されているように、先ず実現しようとする論理集積回路の機能設計を行なう。次に、設計された機能をHDL (Hardware Description Language)などの言語で記述する。そして、このHDLで記述された設計データ(HDL記述文)は、ハードディスクなどの記憶装置にデータファイルとして記憶しておく。なお、HDL記述に関しては、状態遷移図やフローチャートから自動的にHDL記述文を作成する支援ツール(プログラム)がEDA(エンジニアリング・デザイン・オートメーション)ベンダから提供されている。
- 15 20 次に、HDL記述された設計データをテスト・ベクトルと呼ばれる検証用プログラムにより、動作が適切であるか検証する。検証によって不具合が見つかった場合には、HDL記述文を修正する。
- その後、HDL記述された設計データを論理合成ツールと呼ばれるプログラムにより、論理ゲートレベルの設計データに変換する。このような論理合成ツールも、複数のEDAベンダより提供されている。生成された論理ゲートレベルの設計データは、再びテスト・ベクトルにより検証される。このときの不良検出率は例えば95%以上とされる。検証によって不具合
- 25

が見つかった場合には、論理ゲートレベルの設計データを修正する。

次に、論理ゲートレベルの設計データに基づいて、自動レイアウト・ツールと呼ばれるプログラムにより素子レベルのレイアウト・データを生成する。このような自動レイアウト・ツールも、複数のEDAベンダにより提供されている。生成されたレイアウト・データは、テストベクトルによって配線遅延等を含めた形で実負荷シミュレーションが行なわれて、不適切な箇所は修正され最適化される。その後、生成された上記レイアウト・データに基づいてアートワークによりマスクパターン・データを生成し、このデータに基づいてマスクを作成する。

その後、前工程により半導体ウェハ上に論理集積回路が形成され、ウェハは各チップに切断されて樹脂などの封止材によって封止されてパッケージに組み立てられる。しかしながら、上述のような設計、製造方式にあっては、最終的な論理集積回路装置として完成されるまでに多くの設計工程を経て何段階もの設計データが作成されるため、データ量の増大を招いている。また、システム全体が一つの半導体チップ上に構成されるシステム・オン・チップでは、様々な機能回路ブロックを多用して構成されることから、設計データの検証や修正の工数が増加しており、設計上大きな問題となって来ている。

さらに、従来の設計手法では、素子を微細化すればするほど1つの半導体集積回路（ICとも言う）を製造するために使用されるマスクの枚数が増大するとともに、微細加工のため高価な製造装置を必要としており、設計コスト、製造コストの増加、歩留まりの低下を招いている。

しかも、従来の設計手法では、各製品ごとに別個のマスクを製作しなくてはならないため、新しい製品の開発に要する期間が長くなる。また、今後実現されると予想されるディープ・サブミクロン（ $0.1\mu\text{m}$ 以下）の微細加工では、SOR（シンクロトロン）装置が必須となるので、半導体装置メーカー一社ではその投資が困難になり、微細化に対する投資額が限

界に近づいている。

この発明の目的は、設計工数および開発期間を大幅に短縮することが可能な論理集積回路の設計手法を提供することにある。

5 この発明の他の目的は、必要に応じて機能の変更が容易な論理集積回路を提供することにある。

この発明のさらに他の目的は、出来上がった製品の一部の素子に不良があってもそれを代替して正常な機能を構成することができる論理集積回路を提供することにある。

10 この発明の前記ならびにそのほかの目的と新規な特徴については、本明細書の記述および添附図面から明らかになるであろう。

発明の開示

本願において開示される発明のうち代表的なものの概要を説明すれば、下記のとおりである。

15 すなわち、任意の論理を構成可能な半導体集積回路化された自己構成回路を用い、HDLのような言語で記述された機能レベルの設計データを制御回路で解読して、上記自己構成回路の論理構成を決定する信号を、上記制御回路から上記自己構成回路に与えることによって、所望の論理機能を有する論理集積回路を構成するようにしたものである。

20 上記自己構成回路は、読み出しおよび書き込みが可能なメモリ回路と、該メモリ回路に書き込まれたデータとメモリ回路から読み出されたデータとを比較する比較回路と、上記メモリ回路に供給されるアドレス信号を上記比較回路における比較結果に基づいて変換する可変アドレス変換回路とを含み、所望の論理機能を有する論理回路の入力信号を上記メモリ回路への
25 のアドレス信号とし、かつこのメモリ回路の読み出しデータが当該論理回路の上記入力信号に対して期待される出力信号となるように、上記メモリ回路にデータを書き込むようにする。

HDL言語は既存の一般的なプログラム言語と類似の構造を有しているとともに、HDL言語で記述された機能レベルの設計データすなわちHDL記述文に基づいて論理合成を行なうソフトウェアおよび論理合成された設計データから論理ゲート・レベルの設計データに変換するソフトウェア

- 5 はすでに開発されていることから、機能レベルの設計データに基づいて上記自己構成回路の論理構成を決定させる信号を生成する制御回路は現在の技術をもって充分に実現可能である。

- 上記設計手法によれば、論理集積回路の開発に際して、HDL記述文のみ作成すれば良く、HDL記述文に基づく論理合成およびその検証並びに
10 論理合成された設計データから論理ゲート・レベルの設計データへの変換および検証が不用になるので、設計工数および開発期間を大幅に短縮することが可能になる。しかも、状態遷移図やフローチャートから自動的にHDL記述文を作成する支援ツール（プログラム）がEDAベンダから提供されているので、HDL記述の作成も比較的容易に行える。

- 15 また、本発明では、読み出しおよび書き込みが可能なメモリ回路を有する自己構成回路を使用して論理を構成するようにしているため、メモリ回路の書き換えにより論理機能の変更が可能となり、必要に応じて機能の変更が容易な論理集積回路を実現することができる。

- さらに、上記自己構成回路は、メモリ回路に書き込まれたデータとメモリ回路から読み出されたデータとを比較する比較回路と可変アドレス変換回路とを備えているので、構成したい論理を自己検証しながら可変アドレス変換回路の変換アドレスを構成して行くことができる。そして、メモリ回路が不良個所を含んでいるような場合には、不良個所を避けて正常な領域のみを使用して論理を構成することができるため、一部の素子に不良が
20 あってもそれを自動的に回避して正常な機能を構成することができる。

なお、機能レベルの設計データを解読する上記制御回路は、上記自己構成回路と異なる半導体集積回路として構成してもよいし、自己構成回路と

一体にして一つの半導体チップ上に構成するようにしてもよい。機能レベルの設計データを解読する上記制御回路と上記自己構成回路とを一体にした場合には、機能レベルの設計データを格納するストレージも一体に設けるとよい。

- 5 これにより、機能レベルで記述された設計文をストレージに格納してやるだけで、自己の判断と処理で所望の論理機能を有する完全に自己構成可能な論理集積回路を実現することができる。また、上記自己構成回路を構成するメモリ回路の一部の領域を上記機能レベルの設計データを格納する
10 ストレージ領域とすることも可能である。例えばHDL言語で記述された機能レベルの設計データは、論理ゲート・レベルの設計データに比べてそのデータ量が約10分の1程度であるため、半導体集積回路内に形成されたメモリ回路に十分に格納可能である。

- さらに、構成する論理機能が組み合わせ回路のみでなく順序回路を含むような場合には、上記自己構成回路として、上記読み出しおよび書き込み
15 が可能なメモリ回路と、該メモリ回路に書き込まれたデータとメモリ回路から読み出されたデータとを比較する比較回路と、上記メモリ回路に供給されるアドレス信号を上記比較回路における比較結果に基づいて変換するアドレス変換回路との他に、メモリ回路から読み出されたデータを保持するデータストレージ回路と、該データストレージ回路に保持されている
20 データを上記アドレス変換回路に入力されるアドレス信号に切り替えるスイッチマトリックス回路とを設けるようにすると良い。これによって、フリップフロップのようなラッチ回路を含む順序回路を構成することができる。

- 上記機能レベルの設計データを記述する言語としては、例えばHDL言語を用いることができる。上記自己構成回路に含まれる読み出しおよび書き込みが可能なメモリ回路としては、DRAM（ダイナミック型ランダム・アクセスメモリ）またはSRAM（スタティック型ランダム・アクセ
25

ス・メモリ)のような揮発性メモリが望ましいが、電氣的に書き込みおよび消去可能な不揮発性記憶装置(E E P R O M)であってもよい。揮発性メモリを使用することにより、余分な昇圧回路を設ける必要がないとともに、低電圧駆動が可能である。また、S R A MでなくD R A Mを用いた場合には、同一記憶容量に対して占有面積を減らしチップサイズを小さくすることができる。一方、D R A MでなくS R A Mを用いた場合には、D R A Mに特有のリフレッシュ動作が不用になるという利点がある。

図面の簡単な説明

10 図1は、本発明を適用した論理集積回路の開発手順を示すフローチャートである。

図2は、本発明に係る設計手法を可能にする自己構成回路の第1の実施例を示すブロック図である。

15 図3は、第1の実施例の自己構成回路に含まれる可変アドレス変換回路の具体例を示すブロック図である。

図4は、第1の実施例の自己構成回路に含まれる比較回路の具体例を示す論理構成図である。

図5は、第1の実施例の自己構成回路における変換アドレスの変更の仕方を示すフローチャートである。

20 図6は、第1の実施例の自己構成回路により構成される論理ゲート回路の一例およびそのH D L記述を示す説明図である。

図7は、第1の実施例の自己構成回路を用いH D L記述に従って所望の論理機能の論理回路を構成するシステムの例を示すブロック図である。

25 図8は、本発明に係る設計手法を可能にする自己構成回路の第2の実施例を示すブロック図である。

図9は、第2の実施例の自己構成回路に含まれる可変スイッチ回路の具体例を示す回路構成図である。

図10は、第2の実施例の自己構成回路に含まれるデータストレージ回路の具体例を示す論理構成図である。

図11は、第2の実施例の自己構成回路により構成される論理回路の一例としてのフリップフロップ回路とそのHDL記述を示す説明図である。

5 図12は、実施例の自己構成回路を用いて所望の論理回路を構成する場合の制御装置における処理手順の概略を示すフローチャートである。

図13は、本発明に係る設計手法を可能にする自己構成回路の第3の実施例を示すブロック図である。

10 図14は、本発明に係る設計手法を可能にする自己構成回路の第4の実施例を示すブロック図である。

図15は、従来の論理集積回路の開発手順を示すフローチャートである。

発明を実施するための最良の形態

以下、本発明の好適な実施例が図面に基づいて説明される。

15 図1は、本発明を適用した論理集積回路の開発手順を示すフローチャートである。

20 先ず実現しようとする論理集積回路の機能設計を行なう（ステップS1）。次に、設計された機能をHDLなどの言語で機能記述（ステップS2）し、ハードディスクなどの記憶装置にデータファイルとして記憶する（ステップS3）。なお、HDL記述に関しては、前述したように、状態遷移図やフローチャートなどから自動的にHDL記述文を作成する支援ツールがEDAベンダから提供されているので、そのようなツールを用いて作成すると良い。

25 次に、HDL記述された設計データをテスト・ベクトルと呼ばれる検証用プログラムにより、動作が適切であるか検証する（ステップS4）。検証によって不具合が見つかった場合には、HDL記述された設計データを修正する。

その後、HDL記述された論理機能を、半導体集積回路として形成された自己構成回路を用いて構成する（ステップS5）。以上の手順によって所望の機能を有する論理集積回路が得られるので、大幅に開発期間が短縮される。

- 5 図2には、図1のフローチャートに従った本発明に係る設計手法を可能にする自己構成回路の第1実施例のブロック図が示されている。なお、図2に示されている各回路ブロックは、公知の半導体製造技術により単結晶シリコンのような1つの半導体チップ上に形成されている。

- 10 図2において、10は公知の汎用DRAM（ダイナミック・ランダム・アクセス・メモリ）もしくはSRAM（スタティク・ランダム・アクセス・メモリ）とほぼ同様な構成を有する読み出しおよび書き込み可能なメモリ回路である。

- すなわち、メモリ回路10は、複数のメモリセルがマトリックス状に配置されるとともに、複数のワード線と複数のデータ線が格子状に配置され、
15 同一の行のメモリセルはそれぞれ対応するワード線に接続され、同一の列のメモリセルはそれぞれ対応するデータ線に接続されてなるメモリアレイ11と、供給されたアドレス信号をデコードしてメモリアレイ11内の対応する1本のワード線を選択レベルにするアドレス・デコーダ12と、選択されたワード線に接続されたメモリセルからデータ線に読み出された電位を増幅するセンスアンプ回路13と、チップ選択信号CEおよび書き込み制御信号WEに基づいて上記センスアンプ回路13などの動作タイミングを制御する書き込み・読出し制御回路14などから構成されている。
20

- この実施例の自己構成回路には、上記メモリ回路10の他、チップ外部から入力された書き込みデータを取り込んでセンスアンプ回路13へ渡したり、
25 り、メモリ回路10から読み出されたデータをチップ外部へ出力したり、読出しデータとチップ外部から入力されたデータとを比較したりする入出力&比較回路20と、チップ外部から入力されたアドレス信号を上記入出

力&比較回路20における比較結果に応じて変換し上記アドレス・デコーダ12に供給する可変アドレス変換回路30とから構成されている。

41はチップ外部からのアドレス信号が入力されるアドレス入力端子、42はメモリ回路からの読出しデータを外部へ出力したり外部からの書込みデータが入力されるデータ入出力端子である。

図3には、図2の実施例の自己構成回路に含まれる可変アドレス変換回路30の具体例がブロック図で示されている。この可変アドレス回路30は、図2のメモリ回路10とほぼ同様な回路構成を有している。

すなわち、可変アドレス回路30は、複数のメモリセルがマトリックス状に配置されるとともに、複数のワード線と複数のデータ線が格子状に配置され、同一の行のメモリセルはそれぞれ対応するワード線に接続され、同一の列のメモリセルはそれぞれ対応するデータ線に接続されてなるメモリアレイ31と、外部より入力端子41に供給されたアドレス信号をデコードしてメモリアレイ31内の対応する1本のワード線を選択レベルにするアドレス・デコーダ32と、選択されたワード線に接続されたメモリセルからデータ線に読み出された電位を増幅するセンスアンプ回路33と、上記入出力&比較回路20からの比較結果信号CMに基づいて上記センスアンプ回路33の動作タイミングを制御する書込み制御回路34などから構成されている。

図示しないが、上記アドレス・デコーダ32は、デコード回路とデコードされるアドレスを上記比較結果信号CMに基づいてインクリメントするインクリメンタもしくは演算器とを含んでいる。また、インクリメント値を該メモリ31に記憶させて31の記憶容量を減らすようにしても良い。

図4には、第1の実施例の自己構成回路に含まれる入出力&比較回路20の具体例が示されている。

図4に示されているように、入出力&比較回路20は、センスアンプ回路13の出力端子に接続された信号線51とデータ入出力端子42に接続

された信号線 5 2 との間に設けられ上記書込み・読出し制御回路 1 4 から供給される比較指示信号 C C により制御されるスイッチ手段 2 1 と、センスアンプ回路 3 3 からの読出し信号と上記書込み・読出し制御回路 1 4 から供給される比較指示信号 C C とを入力信号とする N A N D ゲート回路 2 2 と、該 N A N D ゲート回路 2 2 の出力信号と上記データ入出力端子 4 2 より入力された信号とを入力とするイクスクルーシブ O R ゲート回路 2 3 と、複数のイクスクルーシブ O R ゲート回路 2 3 の出力信号を入力とする O R ゲート回路 2 4 とから構成されている。

すなわち、上記スイッチ手段 2 1 と N A N D ゲート回路 2 2 とイクスクルーシブ O R ゲート回路 2 3 とからなる比較回路が、各データ入出力端子 4 2 ごとに設けられ、各比較回路のイクスクルーシブ O R ゲート回路 2 3 の出力信号が上記 O R ゲート回路 2 4 に入力され、O R ゲート回路 2 4 の出力信号が比較結果信号 C M として前記可変アドレス回路 3 0 に供給されるように構成されている。なお、図示しないが、信号線 5 2 側にはデータ入出力端子 4 2 に共通に接続された入力バッファと出力バッファが設けられていても良い。

次に、上記実施例の自己構成回路における変換アドレスの変更の仕方を、図 5 に示されているフローチャートを用いて説明する。なお、図 5 に示されているフローチャートが開始される以前に、初期設定処理等により可変アドレス変換回路 3 0 においては、メモリアレイ 3 1 内の各番地にメモリ回路 1 0 の各番地に対応したアドレスが格納されている。

外部よりアドレス入力端子 4 1 へアドレス信号が入力されると、可変アドレス回路 3 0 のアドレスデコーダ 3 2 はそのアドレス信号をデコードしてメモリアレイ 3 1 内の対応するワード線を選択レベルにして予め格納されているアドレスデータを出力、すなわちアドレス変換を行なう（ステップ S 1 1）。読み出されたアドレスデータは、センスアンプ 3 3 により増幅されてメモリ回路 1 0 のアドレスデコーダ 1 2 に供給される。アドレス

デコーダ 12 は供給されたアドレスをデコードしてメモリアレイ 11 内の対応するワード線を選択レベルにし、そのとき入出力 & 比較回路 20 を介して外部より入力されているデータを選択メモリセルに書き込む（ステップ S 12）。

- 5 次に、メモリアレイ 11 から当該書込みデータの読出しを行なう（ステップ S 13）。読み出されたデータはセンスアンプ 13 により増幅されて入出力 & 比較回路 20 に供給される。このとき、データ入出力端子 41 にはデータ書込み時に入力された書込みデータが入力されている。これによって、入出力 & 比較回路 20 はメモリアレイ 11 から読み出されたデータとデータ入出力端子 41 に入力されている書込みデータとを比較し、一
10 致または不一致を示す比較結果信号 CM を可変アドレス変換回路 30 の書込み制御回路 34 へ出力する。

- すると、書込み制御回路 34 は、比較結果信号 CM を見て書込みが正常に行なわれたか否か判定する（ステップ S 14）。ここで、書込み制御回
15 路 34 が書込み失敗と判定すると、アドレスデコーダ 32 へ信号を送って内部のインクリメンタを動作させ、入力アドレス信号をインクリメントさせる（ステップ S 15）。すると、このインクリメントされたアドレスは、アドレスデコーダ 12 に供給されてデコードされ、メモリアレイ 11 内の次のワード線が選択レベルにされる。そして、ステップ S 12 へ戻ってそ
20 のワード線に接続されている選択メモリセルに、入出力 & 比較回路 20 を介して外部より入力されているデータが書き込まれる。

- 次に、再びメモリアレイ 11 から当該書込みデータの読出しを行ない、入出力 & 比較回路 20 により外部からデータ入出力端子 42 へ入力されているデータとの比較を行なう。そして、一致すると書込み制御回路 34 は
25 外部へ書込み終了信号 WF を出力して、一つのアドレスに対するデータの書込み動作が終了する（ステップ S 16）。外部の制御回路は、上記書込み終了信号 WF を受けると次のアドレス信号を生成してアドレス入力端子

4 1 へ入力する。これに応じて、再び図 5 の書込み制御フローがステップ S 1 から開始され、次のアドレスに対する書込み処理が実行される。

上記のように、この実施例においては、データ書込み後に当該書込みデータを読み出して判定し、誤りがあればアドレスを更新して次のアドレス位置にデータを書き込むようにしている。これによって、メモリアレイ 1 1 内に欠陥があっても自動的にそのアドレスをとばして次のアドレスにデータが書き込まれることとなる。そのため、この実施例の自己構成回路にあっては、メモリアレイ 1 1 内のすべてのメモリセルが正常である必要がないのみならず、事前にメモリアレイに不良ビットがないかテストする必要もないという利点を有している。

なお、上記実施例では、メモリアレイ 1 1 に欠陥があるか否か判定して書込みを行なう場合について説明したが、図 2 の可変アドレス変換回路 3 0 のセンスアンプ 3 3 の出力信号線を、メモリ回路 1 0 のアドレスデコーダ 1 2 のみならず入出力 & 比較回路 2 0 へも供給可能に構成しておく。そして、上記と同様にしてメモリアレイ 3 1 への書込みデータの正常／異常を判定して、異常の場合にはアドレスをとばすようにする。これにより、メモリアレイ 3 1 に関しても、すべてのメモリセルが正常である必要がないのみならず、事前にメモリアレイに不良ビットがないかテストする必要もなくなる。

図 6 には、第 1 の実施例の自己構成回路により構成される論理ゲート回路の一例とその H D L 記述が示されている。また図 7 には、第 1 の実施例の自己構成回路を用い H D L 記述に従って所望の論理機能を有する論理回路を構成するシステムの例が示されている。

図 7 において、1 0 0 は上記実施例の自己構成回路、2 0 0 は図 6 に示されているような H D L 記述された設計データが格納された記憶装置（ファイル）、3 0 0 は該ファイルに記憶されている H D L 記述を解読して対応する論理機能を自己構成回路 1 0 0 内に構成するための信号を形成

し出力する制御装置である。この制御装置 300 は、例えば汎用のマイクロコンピュータを用いて構成することができる。

次に、図 6 の NAND ゲート回路を例にとって具体的な論理の構成の仕方を説明する。まず、制御装置 300 は、HDL 記述を解読して構成対象
5 が NAND ゲート回路であることを認識し、例えば自己構成回路 100 に供給するアドレス信号として次の表 1 の真理値表に示されている入力信号 I_{n0} 、 I_{n1} の組み合わせ “0, 0”, “1, 0”, “0, 1”, “1, 1” を生成する。

そして、この生成したアドレス信号を自己構成回路 100 のアドレス入
10 力端子 41 (図 2 参照) へ与える。これとともに、制御装置 300 は、真理値表の出力 O_{ut0} に相当するデータを上記各アドレスに対応する書込みデータとして生成して、その書き込みデータを自己構成回路 100 へのアドレス信号の入力と時間的に並行してデータ入出力端子 42 へ与える。

すると、自己構成回路 100 内では、図 5 のフローチャートを用いて説
15 明した手順に従ってメモリ回路 10 へのデータの書込みを行なう。従って、書込み終了後に、NAND ゲート回路の入力信号 I_{n0} 、 I_{n1} を、自己構成回路 100 の所定のアドレス入力端子 41 へ入力すると、メモリ回路に記憶されている対応するデータが読み出されて NAND ゲート回路の出力 O_{ut0} に相当する信号がデータ入出力端子 42 の所定の端子から出力
20 される。このように、図 2 の実施例の自己構成回路を使用すると、HDL 記述に従ったメモリ回路 10 へのデータ書込みにより所望の論理機能が実現されることとなる。

表 1

In0(In2)	In1(In3)	Out0(Out1)
0	0	1
1	0	1
0	1	1
1	1	0

なお、上記のような2入力NANDゲート回路のみを図2の自己構成回
 路を用いて構成する場合には、入力アドレス信号は2ビットでよい。従っ
 て、図3に示されているアドレス・デコーダ32を例えば2ビットごとに
 アドレス分割した構成とし、2ビットのみでメモリアレイ31内の1本の
 ワード線を選択できるようにすると良い。

これにより、1つの自己構成回路で複数の論理ゲート回路を実現するこ
 とができる。また、従来のメモリと同様なアドレス構成としかつ1つのメ
 モリアレイで複数の論理ゲート回路を実現するには、上記入力のビット以
 外のアドレスビットを補完する必要があるが、上記のようにアドレス分割
 を行えばアドレスの補完も必要なくなる。ただし、実現したい論理を構成
 する各論理ゲート回路に番号をつけてその番号を補完アドレスとして上記
 入力ビットに組み合わせたものを着目する論理ゲートのアドレスとするこ
 とで、アドレス分割をしないメモリアレイを用いることも可能である。

図8は、本発明に係る設計手法を可能にする自己構成回路の第2の実施
 例を示すブロック図である。

この実施例は、図2に示す第1の実施例の自己構成回路に、データスト
 レージ60と、可変スイッチ回路としてのスイッチマトリックス70とを
 追加したものである。データストレージ60は、メモリ回路10から読み出
 されたデータもしくはデータ入出力端子42より入力された前回の入力

データを保持する回路であり、入出力&比較回路20とデータ入出力端子42との間に設けられる。スイッチマトリックス70は、上記データストレージ60に保持されているデータを入力アドレス信号に代えて可変アドレス変換回路30へ供給するための回路であり、アドレス入力端子41と
5 可変アドレス変換回路30との間に設けられる。

なお、データストレージ60とスイッチマトリックス70以外のメモリ回路10と入出力&比較回路20と可変アドレス変換回路30は第1の実施例と全く同様の構成である。

図9は、第2の実施例の自己構成回路(図8)に含まれるスイッチマトリックス70の具体例を示す回路構成図である。
10

スイッチマトリックス70は、図9(A)に示されているように、アドレス入力端子41に入力されたアドレス信号がのる複数の信号線71とデータストレージ60の出力信号がのる信号線72とが互いに交差するように格子状に配置され、信号線71と72の各交点に切替えスイッチ回路73が配置されてなる。これとともに、各切替えスイッチ回路73の制御情報を記憶するRAM74が設けられている。
15

上記切替えスイッチ回路73は、図9(B)に示されているように、アドレス入力端子41より入力されたアドレス信号またはデータストレージ60の出力信号を選択して出力させるため相補的にオン、オフ状態にされる一対のMOSFETからなるスイッチ素子SW1, SW2により構成されている。そして、各スイッチ素子SW1, SW2のゲート端子がRAM74内に記憶されている制御情報に従って制御されるように構成されている。ただし、RAM74を設ける代わりに、図9(C)のように、信号線71と信号線72の各交点にそれぞれSRAMセルと同様なスタティック型メモリセルMCと切替えスイッチCSWとを設けた構成としても良い。
20
25

図10は、第2の実施例の自己構成回路(図8)に含まれるデータストレージ回路60の具体例を示す論理構成図である。

データストレージ回路60は、図10に示されているように、メモリ回路10内のメモリアレイ11の2本ずつのデータ線に対応して設けられたフリップフロップFF1, FF2, ……FFnと、各フリップフロップのラッチ用クロックを形成するためのANDゲートG1, G2, ……Gnとから構成されている。

そして、各フリップフロップFFiは、対をなすデータ線の一方の信号(di)がデータ入力端子Dに入力される。また、対をなすデータ線の他方の信号(Ai)はシステムクロック信号CLKとともにANDゲートGiに入力されている。そして、このANDゲートGiの出力信号が対応するフリップフロップFFiのクロック端子ckに入力され、クロック端子ckへの信号の立ち下がりまたは立ち上がりに同期してデータ端子Dへの入力信号が当該フリップフロップFFiに取り込まれるように構成されている。

図10の回路においては、信号Aiがロウレベルにされていると、ANDゲートGiの出力がロウレベルに固定されるため、システムクロックCLKが変化しても対応するフリップフロップFFiはラッチ動作を行なわない。つまり、この実施例では、信号AiをフリップフロップFFiへのデータの取込みを行なうか否か制御する信号（以下、アクティブビットと称する）として使用している。

前述した図2の実施例の自己構成回路は、入力状態（入力アドレス）によって出力状態（出力データ）が一義的に決定するので、組み合わせ回路を構成することはできるが、順序回路を構成することはできない。これに対して、図8の自己構成回路は、上記のような動作特性を有するデータストレージ60を用いることにより、ある入力状態に応じてメモリ回路10から読み出されたデータを選択的に保持し、これをスイッチマトリックス70を介して可変アドレス変換回路30へ供給することで前回の出力データで次の入力状態を制御することができる。つまり、これによって、順序

回路を構成することができるようになる。

図 1 1 には、図 8 に示されている第 2 の実施例の自己構成回路により構成される論理回路の一例としてのフリップフロップ回路の一例とその HDL 記述が示されている。図 1 1 のフリップフロップ回路は、2 つの NAND ゲート回路 G 1 1, G 1 2 の各出力端子が他方の NAND ゲート回路の一方の入力端子に接続されている。

このフリップフロップ回路を構成する 2 つの NAND ゲート回路 G 1 1, G 1 2 の入力信号に対応する出力信号状態を表わす真理値表は、次の表 2 のようになる。表 2 において、A1, A2 はメモリ回路 1 0 に入力に対応して記憶される前述のアクティブビットで、このアクティブビットが “1” のときだけフリップフロップの出力値は対応する NAND ゲートの真理値データを出力することを意味する。

表 2

	In0	In1	In2	In3	Out0		Out1	
					d1	A1	d2	A2
a	0	0	0	0	1	1	1	1
b	1	0	0	0	1	1	0	0
c	0	1	0	0	1	1	0	0
d	1	1	0	0	0	1	0	0
e	0	0	1	0	0	0	1	1
f	1	0	1	0	0	0	0	0
g	0	1	1	0	0	0	0	0
h	1	1	1	0	0	0	0	0
i	0	0	0	1	0	0	1	1
j	1	0	0	1	0	0	0	0
k	0	1	0	1	0	0	0	0
l	1	1	0	1	0	0	0	0
m	0	0	1	1	0	0	0	1
n	1	0	1	1	0	0	0	0
o	0	1	1	1	0	0	0	0
p	1	1	1	1	0	0	0	0

図 1 1 に示すようなフリップフロップ回路を、図 8 の自己構成回路を用いて構成する場合には、先ず、4 つの入力信号 In 0, In 1, In 2, In 3 をアドレス入力端子 4 1 よりスイッチマトリックス 7 0 を介して可

変アドレス変換回路30に入力するとともに、それらの入力信号の組合せに対応した表2の真理値表の出力データd1, A1, d2, A2をデータ入出力端子42より入力する。これにより、上記入力信号In0, In1, In2, In3をアドレスとしてメモリ回路10内のメモリアレイ11の
5 所定の番地に真理値表の出力データd1, A1, d2, A2を書き込まれる。書込みが終了したら、読み出しを行なって正常に書き込まれたか否か判定し、書込みエラーのときはアドレス更新して別の番地に書込みを行なう点は、第1の実施例と同様である。

次に、構成しようとするフリップフロップ回路の帰還ループを設定するため、データストレージ60内の所定のフリップフロップ（例えばFF1, FF2）に対する状態設定を行なう。具体的には、先ず入力信号In2, In3をそれぞれ「0」に固定して、NANDゲート回路G11に着目しその入力信号In0, In1をフリップフロップFF1に保持させたいデータに応じて“0, 0”, “1, 0”, “0, 1”または“1, 1”に
15 設定してアドレス入力端子41より入力する。

すると、表2のa, b, c, dの欄にそれぞれ示されているように、入力信号In2, In3が共に「0」に固定されていると、NANDゲート回路G1に対応するアクティブビットA1として“1”が読み出される。そのため、データストレージ60のANDゲートG1を通してクロックCLKがフリップフロップFF1に供給される。その結果、そのときの入力
20 信号In0, In1の組合せに応じて“1”または“0”のデータd1がフリップフロップFF1に取り込まれる。つまり、フリップフロップFF1の状態が設定される。

次に、入力信号In0, In1をそれぞれ「0」に固定して、NANDゲート回路G12に着目しその入力信号In2, In3をフリップフロップFF2に保持させたいデータに応じて“0, 0”, “1, 0”, “0, 1”または“1, 1”に設定してアドレス入力端子41より入力する。
25

すると、表 2 の a, e, i, m の欄にそれぞれ示されているように、入力信号 $I n 0$, $I n 1$ が共に「0」に固定されていると、NANDゲート回路 $G 2$ に対応するアクティブビット $A 2$ として“1”が読み出される。そのため、データストレージ 60 の ANDゲート $G 2$ を通してクロック $C L K$ がフリップフロップ $F F 2$ に供給される。その結果、そのときの入力信号 $I n 2$, $I n 3$ の組合せに応じて“1”または“0”のデータ $d 2$ がフリップフロップ $F F 2$ に取り込まれる。つまり、フリップフロップ $F F 2$ の状態が設定される。

なお、図 11 に示すような 2 つの NANDゲートからなるフリップフロップは、それぞれの出力信号が他方の NANDゲートの一方の入力端子に帰還されているため、出力 $O u t 0$, $O u t 1$ が同時に“0”となり得ない。従って、上記データストレージ 60 のフリップフロップ $F F 1$, $F F 2$ の状態を設定する際には、それらの保持状態が共に“0”にならないように留意する必要がある。

上記のようにして、フリップフロップ $F F 1$, $F F 2$ を所望の状態に設定した後、スイッチマトリックス回路 70 内の制御情報 $R A M 7 4$ 内の、図 9 (A) において点線で囲まれているスイッチ $C S W 31$ と $C S W 22$ に対応するメモリセルの記憶データを書き換えて、それらのスイッチを、アドレス入力端子 41 側からデータストレージ 60 の出力端子側へ切り替える。これによって、図 11 のフリップフロップの入力信号 $I n 1$, $I n 2$ は入力が不許可とされ、代わりに NANDゲート $G 1 1$, $G 1 2$ の出力 $O u t 0$, $O u t 1$ が入力信号（アドレス）として次段の可変アドレス変換回路 30 に供給されるようになる。つまり、これによって、フリップフロップの帰還ループが構成されたこととなる。

なお、図 8 の第 2 の実施例の自己構成回路を用い H D L 記述に従って所望の論理機能を有する論理回路を構成するシステムは、図 2 に示す第 1 の実施例の自己構成回路を用いて論理を構成する図 7 に示されているシステ

ムと同様で良い。つまり、自己構成回路とは別個に構成された制御装置 300 が、HDL 記述された設計データが格納されたファイルから読み出された HDL 記述を解読して、対応する論理機能を自己構成回路 100 内に構成するための信号を形成し出力する。

- 5 図 7 のシステムにより、図 8 の第 2 の実施例の自己構成回路を用いて、HDL 記述に従って図 11 に示されているような構成のフリップフロップ回路を論理構成する手順を説明する。まず、制御装置 300 は、HDL 記述を解読して構成対象がフリップフロップ回路であることを認識し、例えば自己構成回路 100 に供給するアドレス信号として次の表 2 の真理値表
- 10 に示されている入力信号 I_{n0} , I_{n1} , I_{n2} , I_{n3} の組み合わせ “0, 0, 0, 0”, “1, 0, 0, 0”, “0, 1, 0, 0” …… “1, 1, 1, 1” を生成する。

そして、この生成したアドレス信号を自己構成回路 100 のアドレス入力端子 41 へ与える。これとともに、制御装置 300 は、真理値表の出力

15 $d1$, $d2$ に相当するデータと対応するアクティブビット・データ $A1$, $A2$ を、上記各アドレスに対応する書込みデータとして生成して、自己構成回路 100 へのアドレス信号の入力と時間的に並行してデータ入出力端子 42 へ与える。

- すると、自己構成回路 100 内では、図 5 のフローチャートを用いて説明した手順に従ってメモリ回路 10 へのデータの書込みを行なう。従って、
- 20 書込み終了後に、フリップフロップ回路の入力信号 $I_{n0} \sim I_{n3}$ を、自己構成回路 100 の所定のアドレス入力端子 41 へ入力すると、メモリ回路に記憶されている対応するデータ（出力データビット $d1$, $d2$ およびアクティブ・ビット $A1$, $A2$ ）が読み出される。そして、先ずアクティブ・ビット $A1$, $A2$ が “1” であるものに対応する出力データが、図 1
- 25 0 に示されているフリップフロップ FFi に取込まれる。これがスイッチマトリックス 60 を介して可変アドレス変換回路 30 へ供給される。

これによって、前に読み出されたデータに応じて次のデータがメモリ回路10から読み出され、フリップフロップ回路の出力Out0, Out1に相当する信号がデータ入出力端子42の所定の端子から出力される。このように、図8の実施例の自己構成回路を使用すると、HDL記述に従ったメモリ回路10へのデータ書込みによりフリップフロップの論理を構成
5 することができ、順序回路を含む所望の論理機能が実現されることとなる。

図12には所望の論理回路を構成する制御装置300の制御手順の概略が示されている。制御装置300は、先ず、HDL記述を解読し（ステップS21）、HDL記述から論理回路を構成する組み合わせ回路や順序回路
10 路を抽出する（ステップS22）。次に、抽出した組み合わせ回路または順序回路に関する真理表すなわち真理値データを生成する（ステップS23）。それから、生成した真理値データを用いて、図5のフローチャートに従って、自己構成回路100のメモリ回路10へのデータの書込みおよび可変アドレス変換回路30の設定を行なう（ステップS24）。

15 また、制御装置300は、HDL記述を解読して、抽出した論理回路が順序回路であると判断したときは、着目する順序回路の回路接続情報の抽出を行なう（ステップS25）。次に、抽出された回路接続情報を用いてスイッチマトリックス回路70の制御情報RAM74へ記憶する制御情報の生成および書込みを行なう（ステップS26）。

20 図13には、本発明に係る設計手法を可能にする自己構成回路の第3の実施例が示されている。

この実施例では、図8に示されているような自己構成回路100が、1つの半導体チップ上に複数個マトリックス状に配置されているとともに、各自己構成回路間に横方向配線領域110と縦方向配線領域120とが設けられ、横方向配線領域110と縦方向配線領域120との交差部位には
25 選択的に信号線を結合可能にするスイッチマトリックス回路130が設けられている。さらに、各自己構成回路100のアドレス入力端子を縦方向

配線領域 120 の信号線に選択的に結合するためのスイッチマトリックス回路 140 と、各自己構成回路 100 のデータ入出力端子を横方向配線領域 110 の信号線に選択的に結合するためのスイッチマトリックス回路 150 とが設けられている。

- 5 このように、複数個の自己構成回路 100 を 1 つの半導体チップ上に設けておくことにより、所望の論理機能を有しかつより規模の大きな論理集積回路を、HDL 記述に従って構成することが可能となる。

図 14 には、本発明に係る設計手法を可能にする自己構成回路の第 4 の実施例が示されている。

- 10 この実施例は、図 2 や図 8 および図 13 に示されている自己構成回路 100' と共に、図 7 に示されているような HDL 記述の設計データを記憶する HDL ストレージ 200' と、HDL 記述を解読して対応する論理機能を自己構成回路 100 を用いて構成するための信号を形成し出力する HDL コントローラ 300' が設けられている。

- 15 ここで、HDL 文を解読する HDL コントローラ 300' は、例えばマイクロプログラム制御方式の CPU と同様な構成、すなわち各 HDL 言語を処理する手順を記述したマイクロプログラムを記憶するメモリ（マイクロ ROM）と、該メモリの読出しシーケンス制御を行なう制御回路と、読み出されたマイクロ命令をデコードして制御信号を形成するデコーダ回路
20 等により構成することができる。HDL 言語は膨大なものでなくしかも文法も比較的単純であるので、現在の半導体集積回路技術をもって十分に 1 つの半導体チップ上に構成することが可能である。

- 25 なお、図 14 には、メモリアレイを主体とするメモリ回路 10 と可変アドレス変換回路 30 とが一つのメモリ空間に配置されているものとして示されている。これはメモリ回路 10 を構成するメモリアレイ 11 と、可変アドレス変換回路 30 を構成するメモリアレイ 31 とを同一のメモリアレイ内の別個の領域に配置してもよいという意味である。アドレス・デコー

ダ 1 2, 3 2 や比較回路 1 4、データ・ストレージ 6 0、スイッチ・マトリックス 7 0 等は、アドレッシング回路としてまとめて示されている。

図 8 の実施例において説明したデータ・ストレージ 6 0 もメモリの一種であるので、これも上記と同様の思想に従って、メモリ回路 1 0 を構成するメモリアレイ 1 1 および可変アドレス変換回路 3 0 を構成するメモリアレイ 3 1 と共に一つのメモリアレイ内の別個の領域に配置するようにしてもよい。さらに、HDL 記述の設計データを記憶する HDL ストレージも、メモリ回路 1 0 を構成するメモリアレイ 1 1 と共に一つのメモリアレイ内の別個の領域に配置するように構成することも可能である。

- 10 以上本発明者によってなされた発明を実施例に基づき具体的に説明したが、本発明は上記実施例に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。例えば、構成する論理ゲート回路は、NAND ゲートに限定されず、NOR ゲートや AND ゲート、OR ゲート等であっても良い。また、構成するフリップフロップ
- 15 回路も図 1 1 のような 2 つの NAND ゲートのみからなるものに限定されず、リセット端子やセット端子を有する RS フリップフロップ等であっても良い。

産業上の利用可能性

- 20 以上の説明では主として本発明者によってなされた発明をその背景となった利用分野である論理集積回路の設計手法を例にとって説明したが、この発明はそれに限定されない。たとえば、論理回路とアナログ回路とが一つの半導体チップ上に混在されてなる半導体集積回路の開発にも利用することができる。

請求の範囲

1. 読み出しおよび書き込みが可能な記憶手段と、該記憶手段に書き込まれたデータと記憶手段から読み出されたデータとを比較する比較手段と、
- 5 上記記憶手段に供給されるアドレス信号を上記比較手段における比較結果に基づいて変換する可変アドレス変換手段とを備え、所望の論理機能を有する論理回路の入力信号が上記記憶手段へのアドレス信号として入力されるとともに、上記記憶手段の読み出しデータが当該論理回路の上記入力信号に対して期待される出力信号となるように上記記憶手段にデータが書き
- 10 込まれることを特徴とする半導体集積回路。
2. 上記記憶手段と上記比較手段と上記可変アドレス変換手段とが1つの半導体チップ上に複数個設けられてなることを特徴とする請求項1に記載の半導体集積回路。
- 15 3. 上記記憶手段は揮発性メモリであることを特徴とする請求項1または2に記載の半導体集積回路。
4. 上記可変アドレス変換手段は、複数のメモリセルがマトリックス状に
- 20 配置されたメモリアレイと、入力アドレス信号に基づいて該メモリアレイ内のメモリセルを選択するアドレスデコーダと、上記メモリアレイから読み出された信号を増幅する読出し手段と、制御信号に基づいて上記入力アドレス信号を更新する演算手段とにより構成されていることを特徴とする請求項1、2または3に記載の半導体集積回路。
- 25 5. 上記メモリアレイは揮発性メモリからなるメモリアレイであることを特徴とする請求項4に記載の半導体集積回路。

6. 上記記憶手段から読み出されたデータを保持可能なデータ保持手段と、
入力アドレス信号または上記データ保持手段の出力信号を切り替えて上記
可変アドレス変換手段に供給可能なスイッチマトリックスと、該スイッチ
マトリックス内の各スイッチの制御情報を記憶する記憶手段とをさらに備
5 えていることを特徴とする請求項 1、2、3、4 または 5 に記載の半導体
集積回路。

7. 上記データ保持手段は、上記メモリ回路から読み出された第 1 のデー
タをラッチ可能なラッチ手段と、上記メモリ回路から読み出された第 1 の
10 データに基づいて上記ラッチ手段への第 1 のデータのラッチを許可または
不許可にするゲート手段とにより構成されてなることを特徴とする請求項
6 に記載の半導体集積回路。

8. 請求項 1、2、3、4、5、6 または 7 に記載の半導体集積回路を用
15 いて、HDL 言語で記述された機能レベルの設計データを制御手段で解読
して、任意の論理を構成可能な自己構成回路の論理構成を決定する信号を、
上記制御手段から上記自己構成回路に与えることにより所望の論理機能を
有する論理集積回路を構成するようにしたことを特徴とする論理集積回路
の構成方法。

20

9. 上記制御手段は、上記自己構成回路と同一の半導体チップ上に形成さ
れていることを特徴とする請求項 8 に記載の論理集積回路の構成方法。

10. 上記機能レベルの設計データを格納するストレージは、上記制御手
25 段および上記自己構成回路と同一の半導体チップ上に形成されていること
を特徴とする請求項 9 に記載の論理集積回路の構成方法。

1 1. 論理機能をハードウェア記述言語によって表わしたところの記述から得られた情報を保持し、そのアドレス端子に供給される信号を入力信号として、上記入力信号に従った上記論理機能の出力を、その出力端子から得る記憶手段を含むことを特徴とする半導体集積回路。

5

1 2. 上記論理機能は、組み合わせ論理機能を含むことを特徴とする請求項 1 1 に記載の半導体集積回路。

1 3. 上記論理機能は、順序論理機能を含むことを特徴とする請求項 1 1
10 または 1 2 に記載の半導体集積回路。

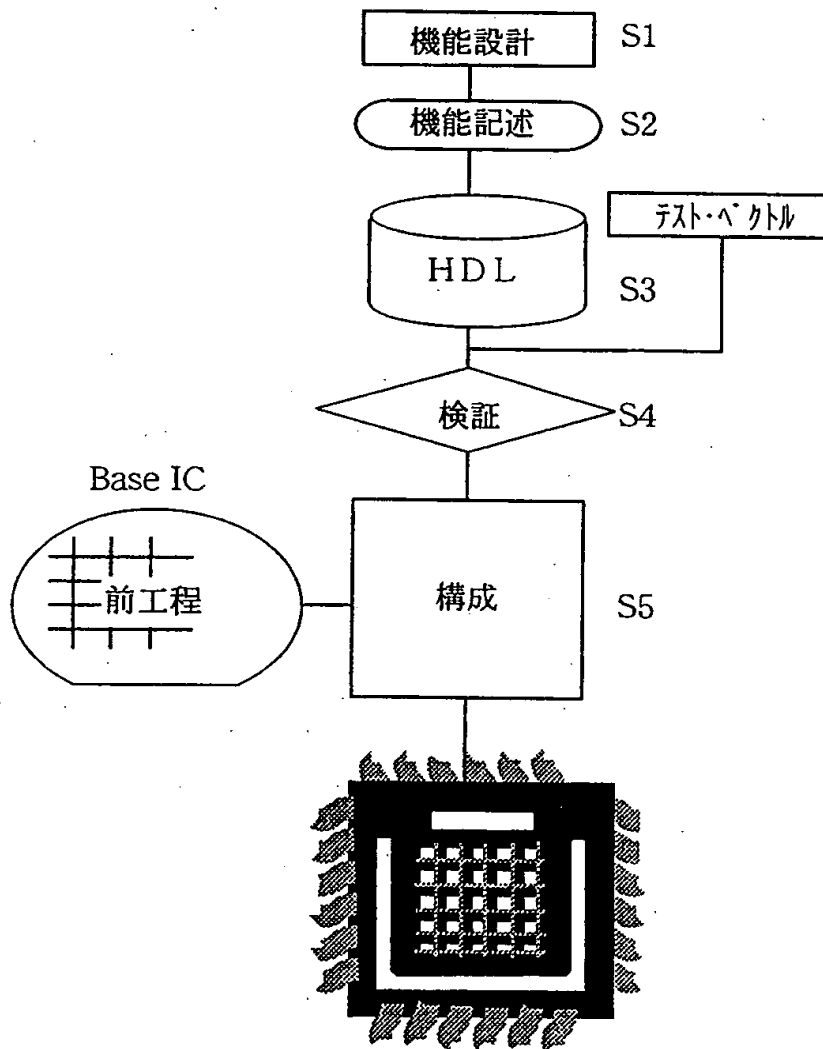
1 4. 上記記憶手段は、読出し書込み可能な記憶手段であることを特徴とする請求項 1 1 に記載の半導体集積回路。

15 1 5. ハードウェア記述言語によって表わされたところの記述から上記記憶手段へ書込まれる上記情報を形成するところの変換手段と、上記記憶手段とが同一の半導体チップに形成されていることを特徴とする請求項 1 1 に記載の半導体集積回路。

20 1 6. 上記ハードウェア記述言語によって表わされたところの記述を保持する記憶手段が、上記半導体チップに形成されていることを特徴とする請求項 1 5 に記載の半導体集積回路。

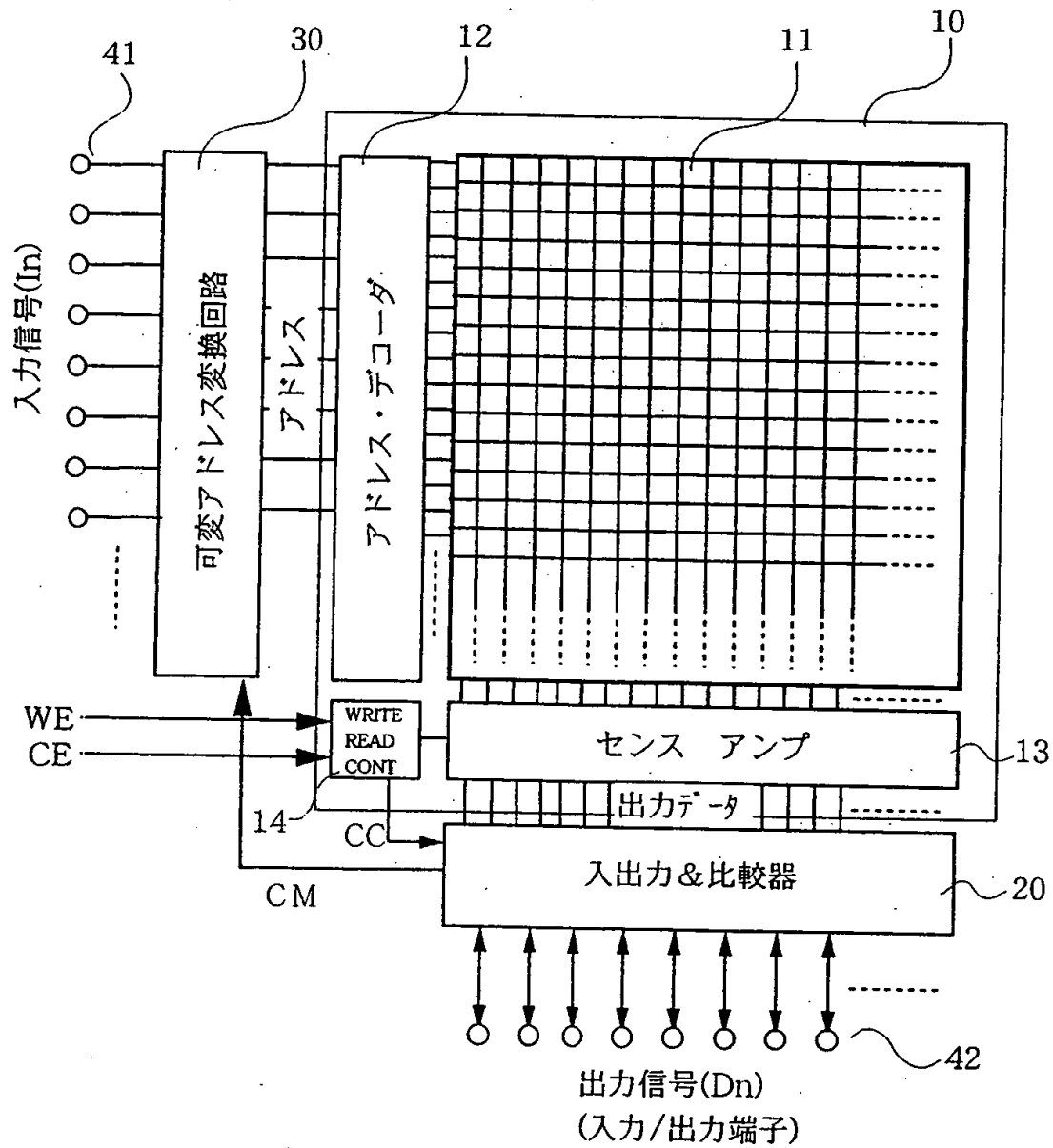
1 / 1 4

図 1



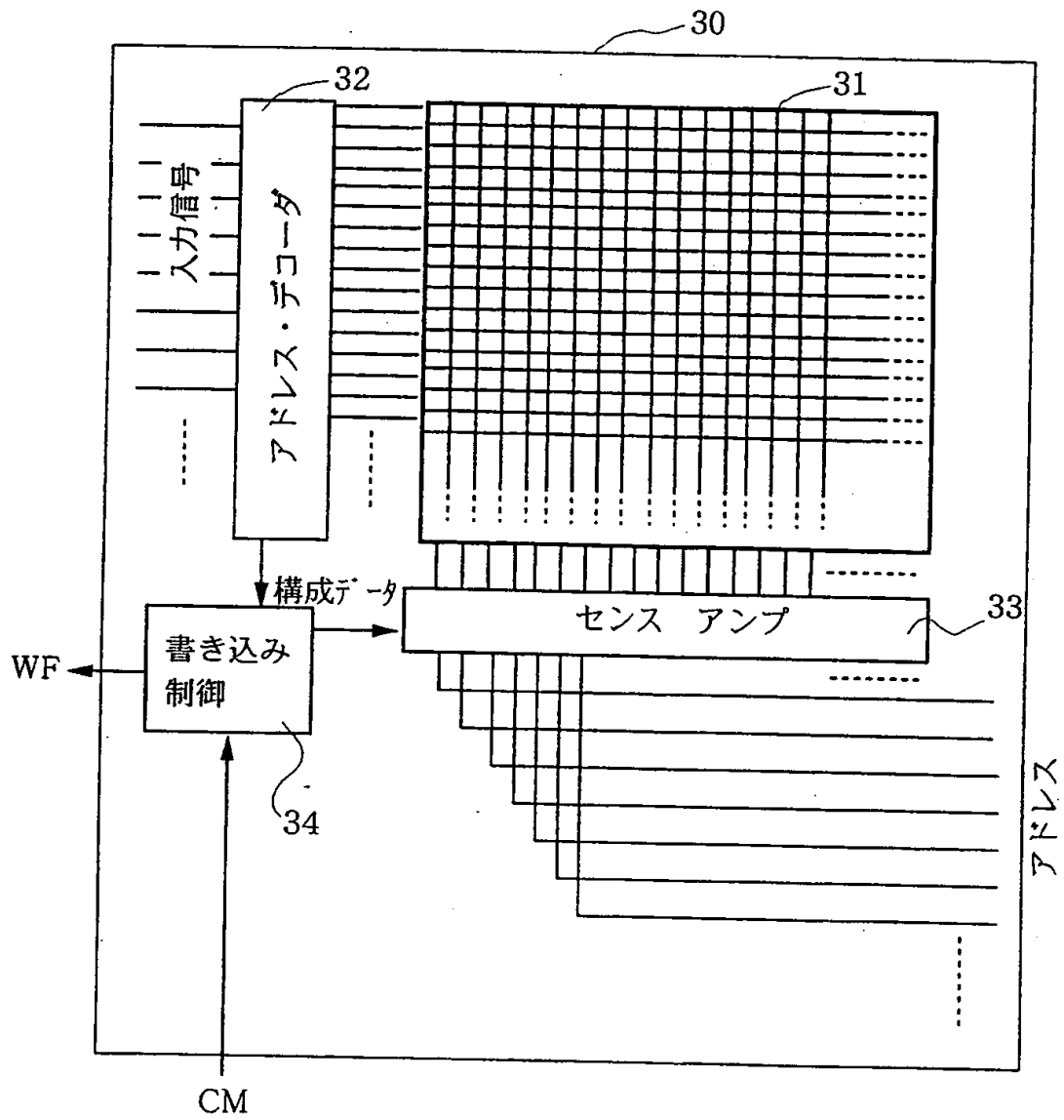
2 / 1 4

図 2



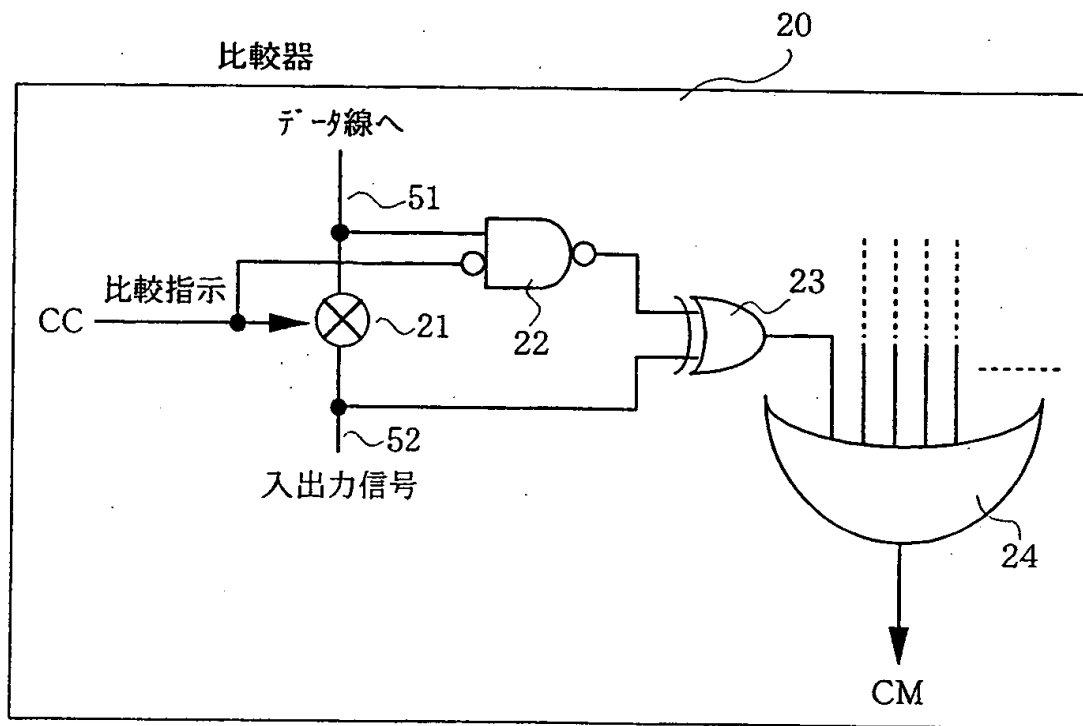
3 / 1 4

図 3



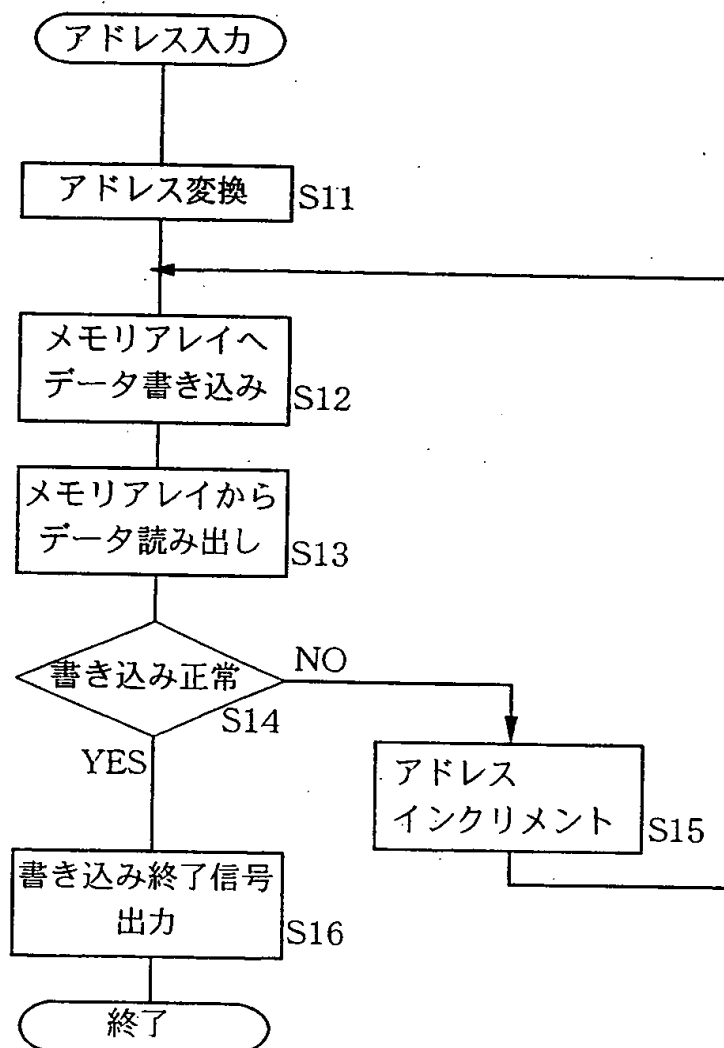
4 / 1 4

図 4



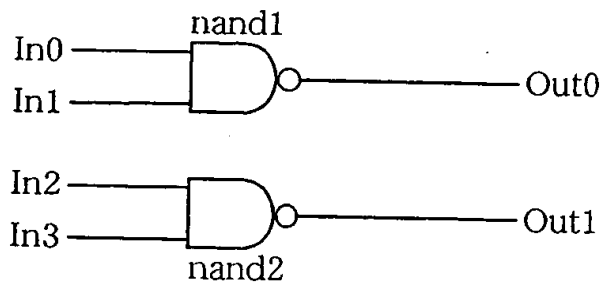
5 / 1 4

図 5



6 / 1 4

図 6



HDL記述

//External Declaration

```

module nand1_gate(
    In0,
    In1,
    Out0
);

```

//Internal Declarations

```

input In0;
input In1;

```

```

wire In0;
wire In1;
reg Out0;

```

always @ (In0 or In1) begin

//Block 1

case (In0,In1)

2'b 00:

Out0 = 1'b1;

2'b 01:

Out0 = 1'b1;

2'b 10:

Out0 = 1'b1;

2'b 11:

Out0 = 1'b0;

default

endcase

end

endmodule // nand1_gate

//External Declaration

```

module nand2_gate(
    In2,
    In3,
    Out1);

```

//Internal Declarations

```

input In2;
input In3;

```

```

wire In2;
wire In3;
reg Out1;

```

always @ (In2 or In3) begin

//Block 1

case (In2,In3)

2'b 00:

Out1 = 1'b1;

2'b 01:

Out1 = 1'b1;

2'b 10:

Out1 = 1'b1;

2'b 11:

Out1 = 1'b0;

default

endcase

end

endmodule // nand1_gate2

7 / 1 4

図 7

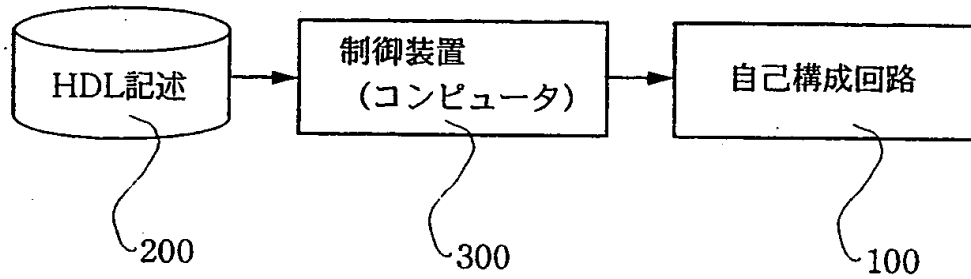
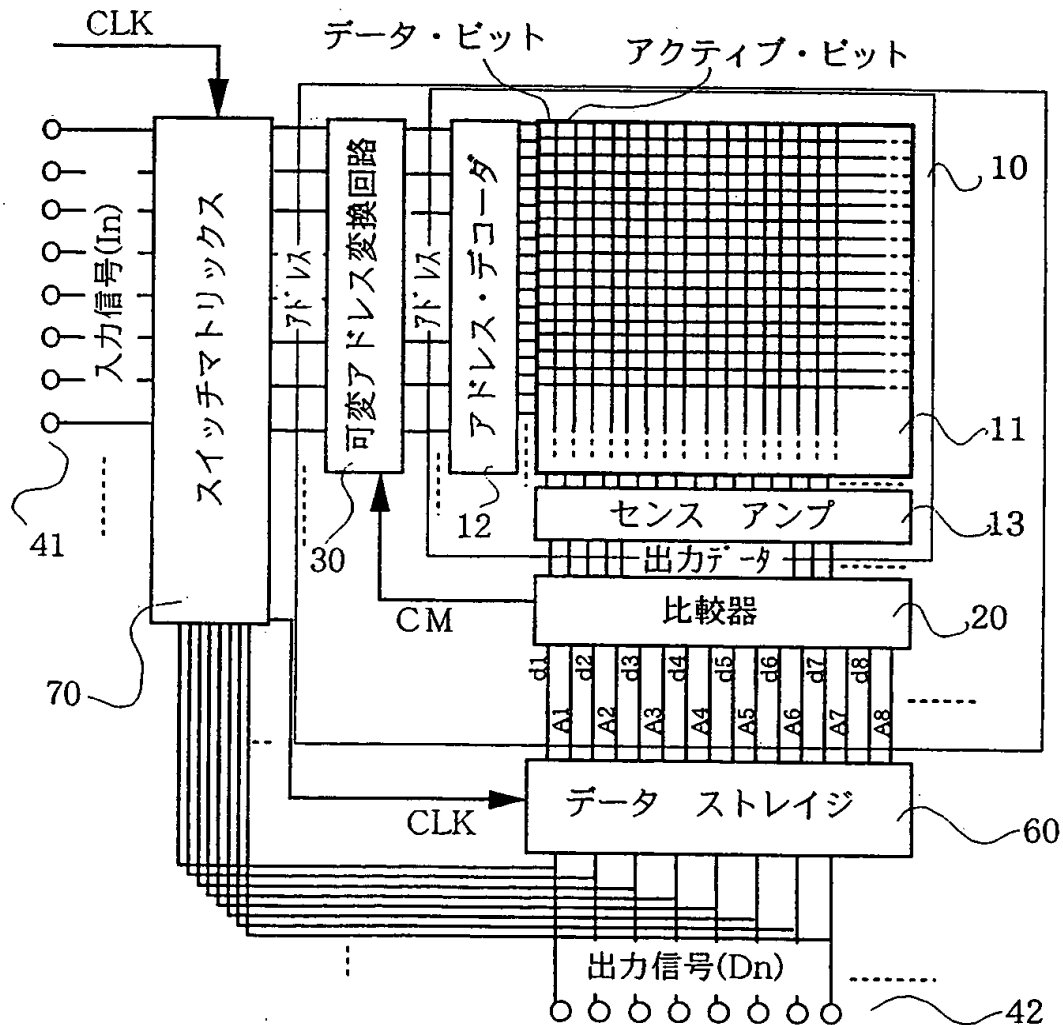
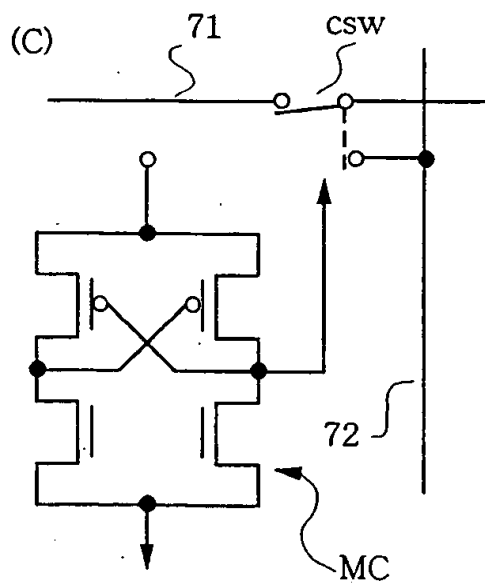
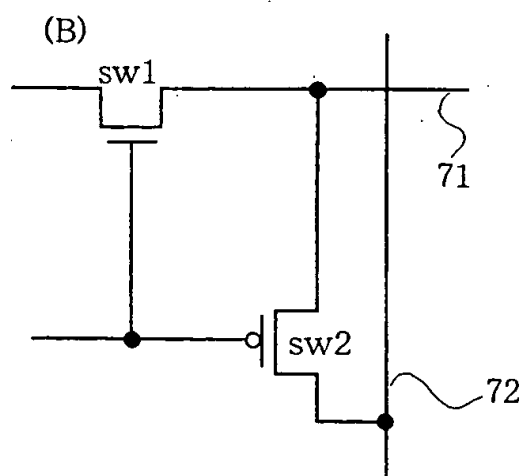
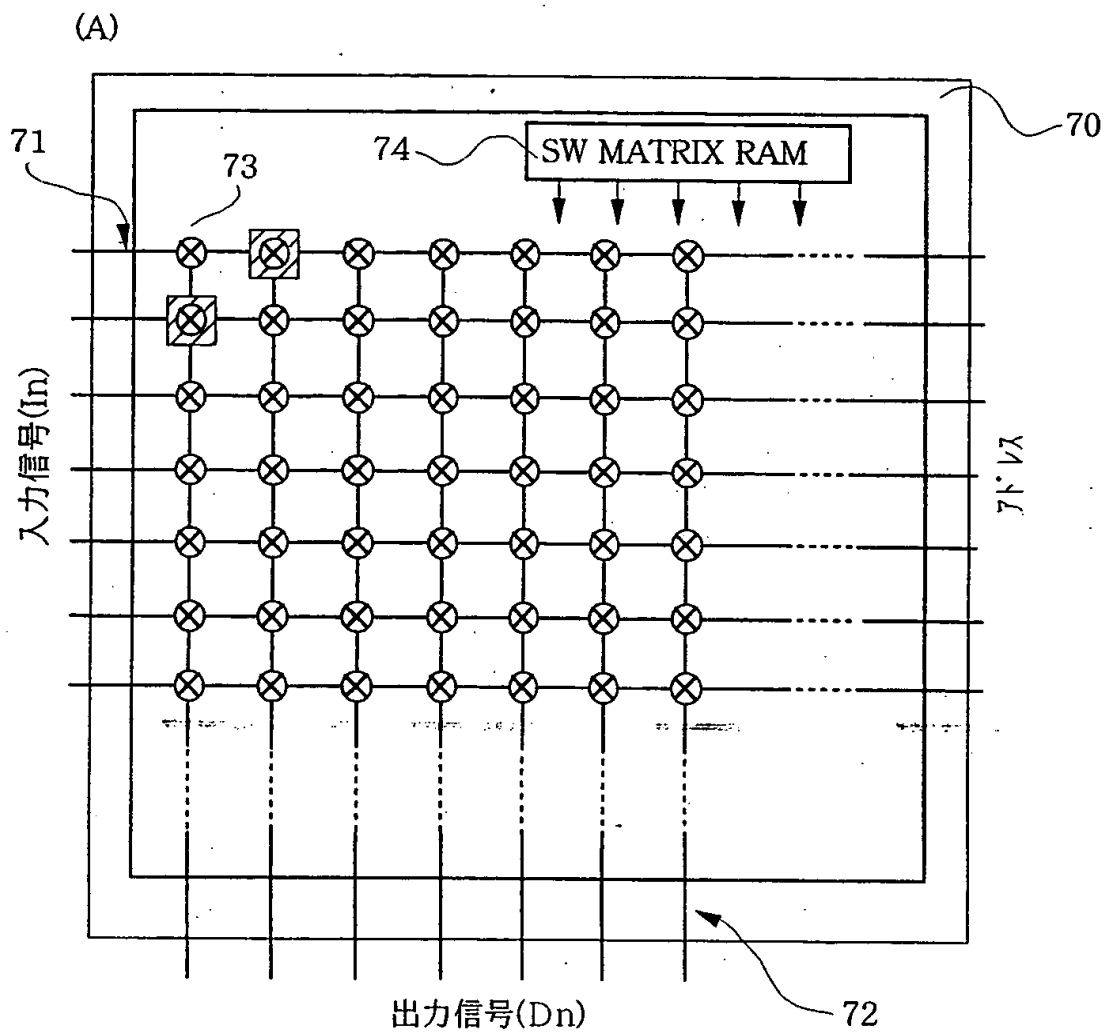


図 8



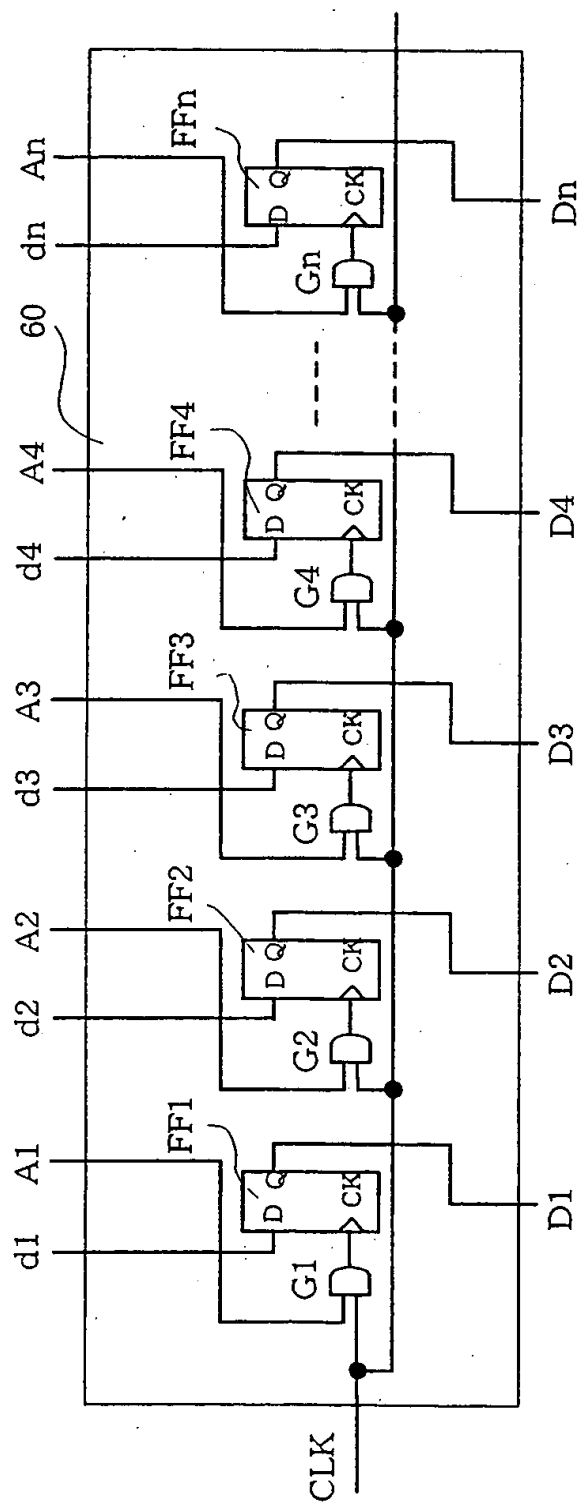
8 / 1 4

図 9



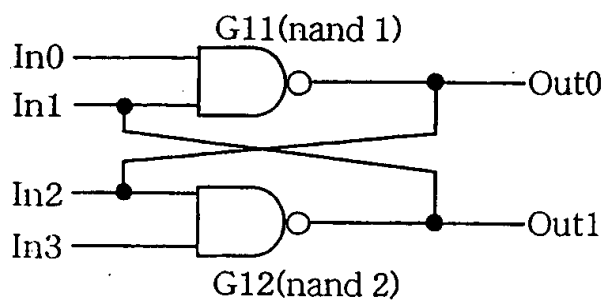
9 / 1 4

図 1 0



10 / 14

図 11



HDL記述

//External Declarations

module ff model(

In0,

In1,

Out0,

Out1

);

//Internal Declarations

input In0;

input In1;

output Out0;

output Out1;

wire In0;

wire In1;

reg Out0;

reg Out1;

//Local declarations

//Instaces

nand1_gate(

.In0 (In0),

.In1 (Out1),

.Out0 (Out0)

);

nand2_gate(

.In2 (Out0),

.In3 (In3),

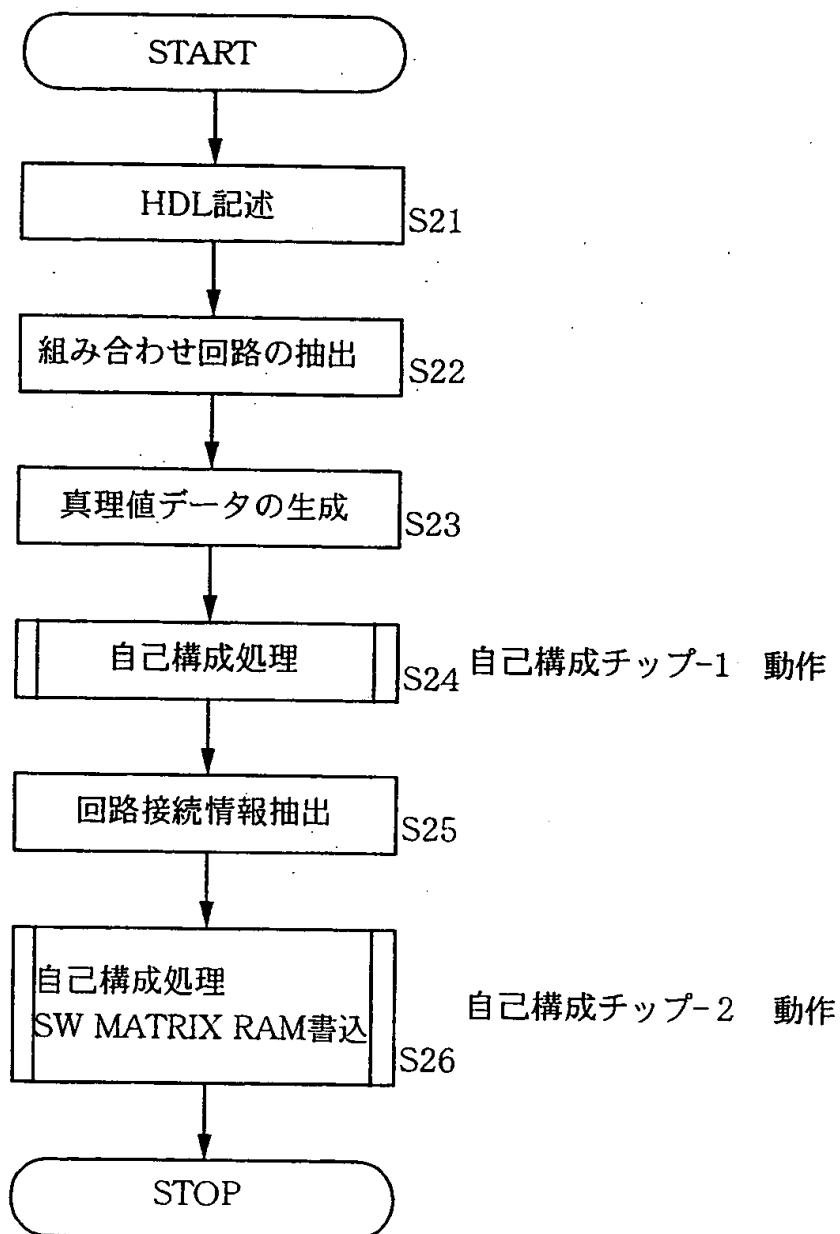
.Out0 (Out1)

);

endmodule // ff_model

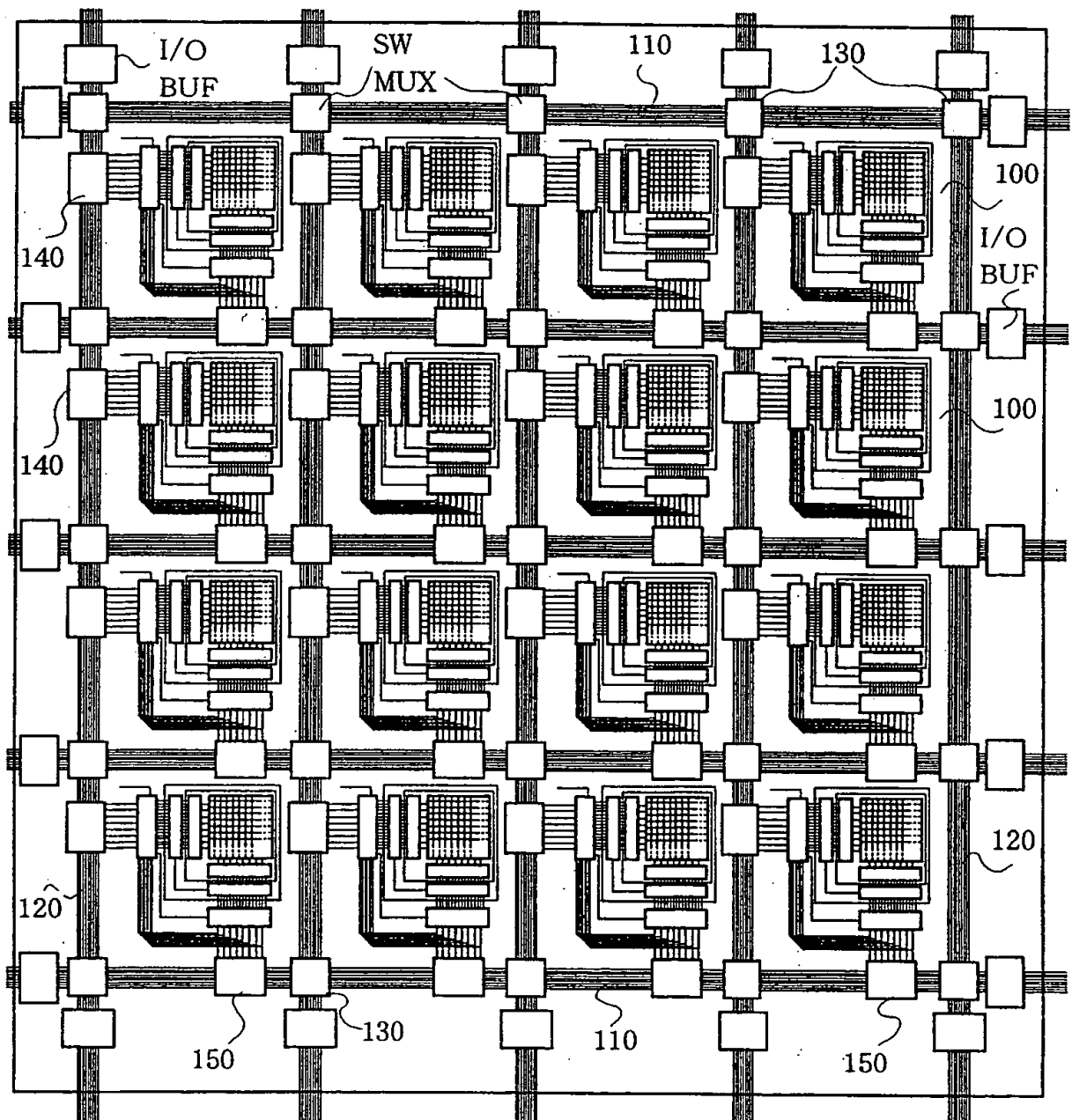
11 / 14

図 1 2



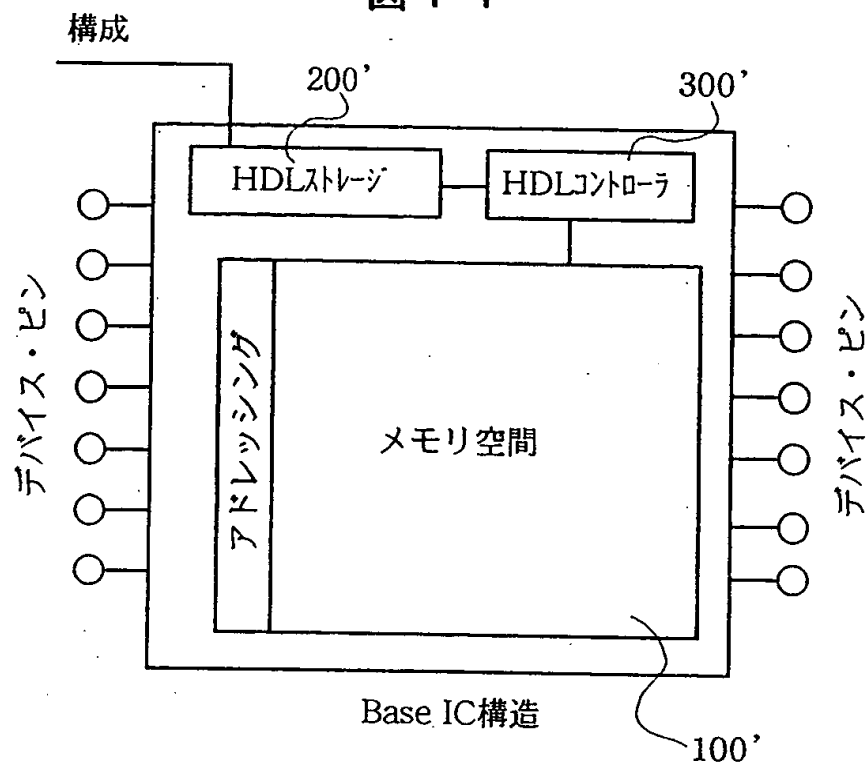
1 2 / 1 4

図 1 3



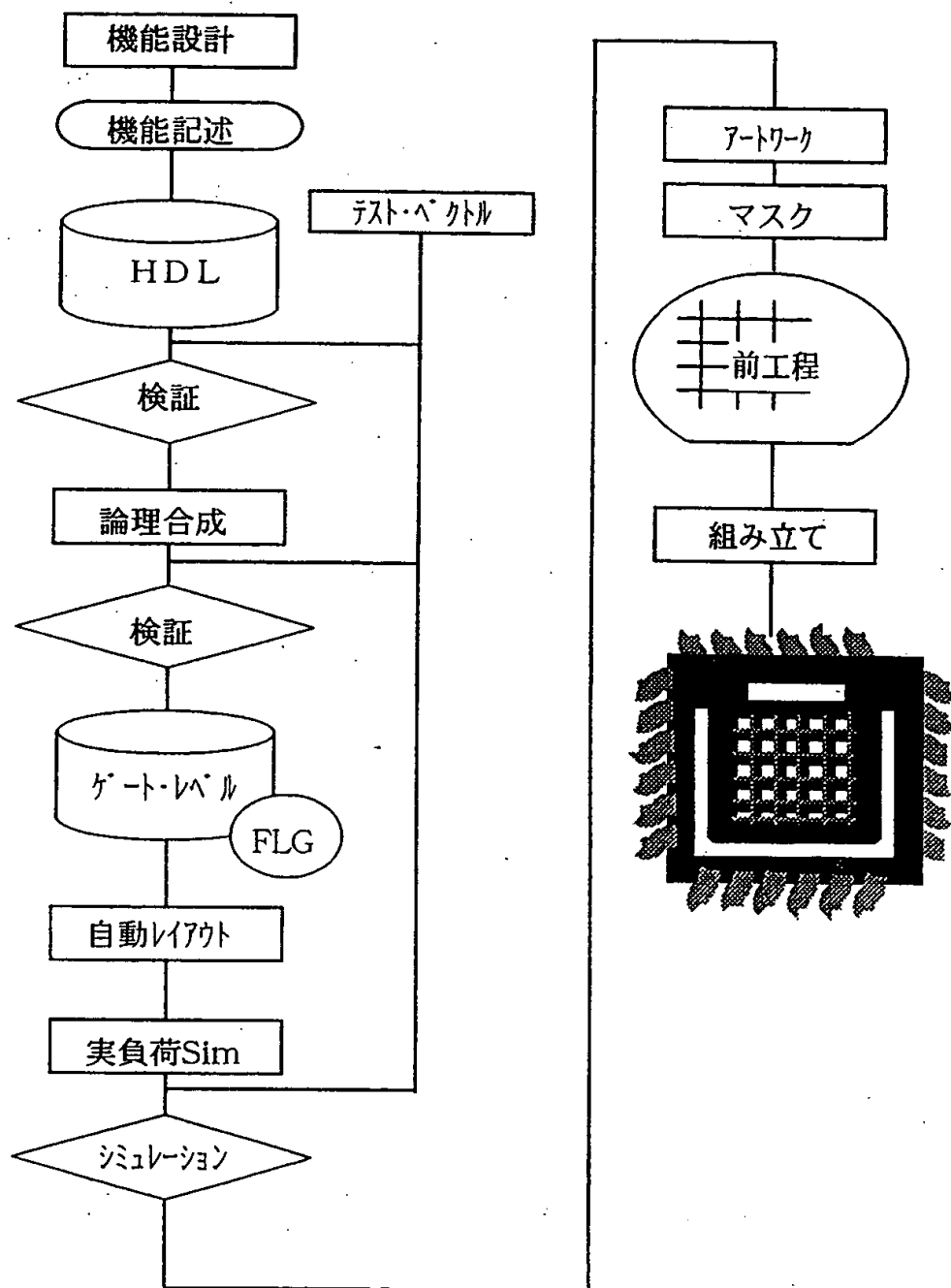
13 / 14

図 14



14 / 14

図 15



INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP99/01035

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl⁶ H01L21/82, H01L21/822, H01L27/04, G06F17/50

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl⁶ H01L21/82, H01L21/822, H01L27/04, G06F17/50

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Toroku Jitsuyo Shinan Koho	1994-1999
Kokai Jitsuyo Shinan Koho	1971-1999	Jitsuyo Shinan Toroku Koho	1996-1999

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP, 9-237283, A (Ricoh Co., Ltd.), 9 September, 1997 (09. 09. 97), Figs. 8 to 29 (Family: none)	1-16
A	JP, 8-115357, A (Fujitsu Ltd.), 7 May, 1996 (07. 05. 96), Fig. 1 (Family: none)	1-16
A	JP, 7-152794, A (NEC Corp.), 16 June, 1990 (16. 06. 95), Fig. 1 (Family: none)	1-16

☐ Further documents are listed in the continuation of Box C.
 ☐ See patent family annex.

* Special categories of cited documents:

- "A" document defining the general state of the art which is not considered to be of particular relevance
- "E" earlier document but published on or after the international filing date
- "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
- "O" document referring to an oral disclosure, use, exhibition or other means
- "P" document published prior to the international filing date but later than the priority date claimed

- "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
- "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
- "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
- "&" document member of the same patent family

Date of the actual completion of the international search
26 May, 1999 (26. 05. 99)Date of mailing of the international search report
8 June, 1999 (08. 06. 99)Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int.Cl⁶ H01L21/82, H01L21/822, H01L27/04, G06F17/50

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int.Cl⁶ H01L21/82, H01L21/822, H01L27/04, G06F17/50

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1922-1996
 日本国公開実用新案公報 1971-1999
 日本国登録実用新案公報 1994-1999
 日本国実用新案登録公報 1996-1999

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	JP, 9-237283, A (株式会社リコー) 9. 9月. 1997 (09. 09. 97) 第8~29図 (ファミリー無し)	1-16
A	JP, 8-115357, A (富士通株式会社) 7. 5月. 1994 (07. 05. 96) 第1図 (ファミリー無し)	1-16
A	JP, 7-152794, A (日本電気株式会社) 16. 6月. 1990 (16. 06. 95) 第1図 (ファミリー無し)	1-16

☐ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの
 「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
 「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
 「O」 口頭による開示、使用、展示等に言及する文献
 「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
 「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
 「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
 「&」 同一パテントファミリー文献

国際調査を完了した日

26. 05. 99

国際調査報告の発送日

08.06.99

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)
 郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

大嶋 洋一

印

4L 9170

電話番号 03-3581-1101 内線 3497

3 Tem

Translation
09/914-429

PATENT COOPERATION TREATY

PCT

INTERNATIONAL PRELIMINARY EXAMINATION REPORT

(PCT Article 36 and Rule 70)

Applicant's or agent's file reference 319803305971	FOR FURTHER ACTION See Notification of Transmittal of International Preliminary Examination Report (Form PCT/IPEA/416)	
International application No. PCT/JP99/01035	International filing date (day/month/year) 04 March 1999 (04.03.99)	Priority date (day/month/year)
International Patent Classification (IPC) or national classification and IPC H01L 21/82, 21/822, 27/04, G06F 17/50		
Applicant HITACHI, LTD.		

<p>1. This international preliminary examination report has been prepared by this International Preliminary Examining Authority and is transmitted to the applicant according to Article 36.</p> <p>2. This REPORT consists of a total of <u>3</u> sheets, including this cover sheet.</p> <p><input type="checkbox"/> This report is also accompanied by ANNEXES, i.e., sheets of the description, claims and/or drawings which have been amended and are the basis for this report and/or sheets containing rectifications made before this Authority (see Rule 70.16 and Section 607 of the Administrative Instructions under the PCT).</p> <p>These annexes consist of a total of _____ sheets.</p>	
<p>3. This report contains indications relating to the following items:</p> <p>I <input checked="" type="checkbox"/> Basis of the report</p> <p>II <input type="checkbox"/> Priority</p> <p>III <input type="checkbox"/> Non-establishment of opinion with regard to novelty, inventive step and industrial applicability</p> <p>IV <input type="checkbox"/> Lack of unity of invention</p> <p>V <input checked="" type="checkbox"/> Reasoned statement under Article 35(2) with regard to novelty, inventive step or industrial applicability; citations and explanations supporting such statement</p> <p>VI <input type="checkbox"/> Certain documents cited</p> <p>VII <input type="checkbox"/> Certain defects in the international application</p> <p>VIII <input type="checkbox"/> Certain observations on the international application</p>	

Date of submission of the demand 04 March 1999 (04.03.99)	Date of completion of this report 26 November 1999 (26.11.1999)
Name and mailing address of the IPEA/JP	Authorized officer
Facsimile No.	Telephone No.

INTERNATIONAL PRELIMINARY EXAMINATION REPORT

International application No.

PCT/JP99/01035

I. Basis of the report

1. With regard to the elements of the international application:*

- ☒ the international application as originally filed
- ☐ the description:
pages _____, as originally filed
pages _____, filed with the demand
pages _____, filed with the letter of _____
- ☐ the claims:
pages _____, as originally filed
pages _____, as amended (together with any statement under Article 19
pages _____, filed with the demand
pages _____, filed with the letter of _____
- ☐ the drawings:
pages _____, as originally filed
pages _____, filed with the demand
pages _____, filed with the letter of _____
- ☐ the sequence listing part of the description:
pages _____, as originally filed
pages _____, filed with the demand
pages _____, filed with the letter of _____

2. With regard to the **language**, all the elements marked above were available or furnished to this Authority in the language in which the international application was filed, unless otherwise indicated under this item.

These elements were available or furnished to this Authority in the following language _____ which is:

- ☐ the language of a translation furnished for the purposes of international search (under Rule 23.1(b)).
- ☐ the language of publication of the international application (under Rule 48.3(b)).
- ☐ the language of the translation furnished for the purposes of international preliminary examination (under Rule 55.2 and/or 55.3).

3. With regard to any **nucleotide and/or amino acid sequence** disclosed in the international application, the international preliminary examination was carried out on the basis of the sequence listing:

- ☐ contained in the international application in written form.
- ☐ filed together with the international application in computer readable form.
- ☐ furnished subsequently to this Authority in written form.
- ☐ furnished subsequently to this Authority in computer readable form.
- ☐ The statement that the subsequently furnished written sequence listing does not go beyond the disclosure in the international application as filed has been furnished.
- ☐ The statement that the information recorded in computer readable form is identical to the written sequence listing has been furnished.

4. ☐ The amendments have resulted in the cancellation of:

- ☐ the description, pages _____
- ☐ the claims, Nos. _____
- ☐ the drawings, sheets/fig _____

5. ☐ This report has been established as if (some of) the amendments had not been made, since they have been considered to go beyond the disclosure as filed, as indicated in the Supplemental Box (Rule 70.2(c)).**

* Replacement sheets which have been furnished to the receiving Office in response to an invitation under Article 14 are referred to in this report as "originally filed" and are not annexed to this report since they do not contain amendments (Rule 70.16 and 70.17).

** Any replacement sheet containing such amendments must be referred to under item 1 and annexed to this report.

INTERNATIONAL PRELIMINARY EXAMINATION REPORT

International application No.
PCT/JP 99/01035

V. Reasoned statement under Article 35(2) with regard to novelty, inventive step or industrial applicability; citations and explanations supporting such statement

1. Statement

Novelty (N)	Claims	1-16	YES
	Claims		NO
Inventive step (IS)	Claims	1-16	YES
	Claims		NO
Industrial applicability (IA)	Claims	1-16	YES
	Claims		NO

2. Citations and explanations

Concerning Claims 1 to 10

A semiconductor integrated circuit containing a variable address conversion means which converts the address signal supplied to the storage means based on the results of a comparison in the comparison means is not disclosed in any of the documents cited in the international search report. Moreover, it is not obvious to a person skilled in the art.

Concerning Claims 11 to 16

A semiconductor integrated circuit containing a storage means, wherein information obtained from that description which shows the logic function in a hardware descriptive language is held, and with the signal supplied to said address terminal as an input signal, the output from the logic function following the input signal is obtained from said output terminal, is not disclosed in any of the documents cited in the international search report. Moreover, it is not obvious to a person skilled in the art.

P C T

国際予備審査報告

(法第12条、法施行規則第56条)

〔PCT36条及びPCT規則70〕

REC'D 10 DEC 1999

WIPO

PCT

出願人又は代理人 の書類記号 319803305971	今後の手続きについては、国際予備審査報告の送付通知（様式PCT/ IPEA/416）を参照すること。	
国際出願番号 PCT/J P 99/01035	国際出願日 (日.月.年) 04.03.99	優先日 (日.月.年)
国際特許分類 (IPC) Int.Cl ⁸ H01L21/82,H01L21/822,H01L27/04,G06F17/50		
出願人 (氏名又は名称) 株式会社 日立製作所		

1. 国際予備審査機関が作成したこの国際予備審査報告を法施行規則第57条 (PCT36条) の規定に従い送付する。
2. この国際予備審査報告は、この表紙を含めて全部で 3 ページからなる。
- ☐ この国際予備審査報告には、附属書類、つまり補正されて、この報告の基礎とされた及び／又はこの国際予備審査機関に対してした訂正を含む明細書、請求の範囲及び／又は図面も添付されている。
(PCT規則70.16及びPCT実施細則第607号参照)
この附属書類は、全部で ページである。

3. この国際予備審査報告は、次の内容を含む。
- I ☒ 国際予備審査報告の基礎
- II ☐ 優先権
- III ☐ 新規性、進歩性又は産業上の利用可能性についての国際予備審査報告の不作成
- IV ☐ 発明の単一性の欠如
- V ☒ PCT35条(2)に規定する新規性、進歩性又は産業上の利用可能性についての見解、それを裏付けるための文献及び説明
- VI ☐ ある種の引用文献
- VII ☐ 国際出願の不備
- VIII ☐ 国際出願に対する意見

国際予備審査の請求書を受理した日 04.03.99	国際予備審査報告を作成した日 26.11.99	
名称及びあて先 日本国特許庁 (IPEA/J P) 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号	特許庁審査官 (権限のある職員) 大嶋 洋一 電話番号 03-3581-1101 内線 3464	4 L 9170

I. 国際予備審査報告の基礎

1. この国際予備審査報告は下記の出願書類に基づいて作成された。(法第6条(PCT14条)の規定に基づく命令に
応答するために提出された差し替え用紙は、この報告書において「出願時」とし、本報告書には添付しない。
PCT規則70.16, 70.17)

☒ 出願時の国際出願書類

- ☐ 明細書 第 _____ ページ、 出願時に提出されたもの
明細書 第 _____ ページ、 国際予備審査の請求書と共に提出されたもの
明細書 第 _____ ページ、 _____ 付の書簡と共に提出されたもの

- ☐ 請求の範囲 第 _____ 項、 出願時に提出されたもの
請求の範囲 第 _____ 項、 PCT19条の規定に基づき補正されたもの
請求の範囲 第 _____ 項、 国際予備審査の請求書と共に提出されたもの
請求の範囲 第 _____ 項、 _____ 付の書簡と共に提出されたもの

- ☐ 図面 第 _____ ページ/図、 出願時に提出されたもの
図面 第 _____ ページ/図、 国際予備審査の請求書と共に提出されたもの
図面 第 _____ ページ/図、 _____ 付の書簡と共に提出されたもの

- ☐ 明細書の配列表の部分 第 _____ ページ、 出願時に提出されたもの
明細書の配列表の部分 第 _____ ページ、 国際予備審査の請求書と共に提出されたもの
明細書の配列表の部分 第 _____ ページ、 _____ 付の書簡と共に提出されたもの

2. 上記の出願書類の言語は、下記に示す場合を除くほか、この国際出願の言語である。

上記の書類は、下記の言語である _____ 語である。

- ☐ 国際調査のために提出されたPCT規則23.1(b)にいう翻訳文の言語
☐ PCT規則48.3(b)にいう国際公開の言語
☐ 国際予備審査のために提出されたPCT規則55.2または55.3にいう翻訳文の言語

3. この国際出願は、ヌクレオチド又はアミノ酸配列を含んでおり、次の配列表に基づき国際予備審査報告を行った。

- ☐ この国際出願に含まれる書面による配列表
☐ この国際出願と共に提出されたフレキシブルディスクによる配列表
☐ 出願後に、この国際予備審査(または調査)機関に提出された書面による配列表
☐ 出願後に、この国際予備審査(または調査)機関に提出されたフレキシブルディスクによる配列表
☐ 出願後に提出した書面による配列表が出願時における国際出願の開示の範囲を超える事項を含まない旨の陳述書の提出があった
☐ 書面による配列表に記載した配列とフレキシブルディスクによる配列表に記録した配列が同一である旨の陳述書の提出があった。

4. 補正により、下記の書類が削除された。

- ☐ 明細書 第 _____ ページ
☐ 請求の範囲 第 _____ 項
☐ 図面 図面の第 _____ ページ/図

5. ☐ この国際予備審査報告は、補充欄に示したように、補正が出願時における開示の範囲を越えてされたものと認められるので、その補正がされなかったものとして作成した。(PCT規則70.2(c) この補正を含む差し替え用紙は上記1.における判断の際に考慮しなければならず、本報告に添付する。)

V. 新規性、進歩性又は産業上の利用可能性についての法第12条(PCT35条(2))に定める見解、それを裏付ける文献及び説明

1. 見解

新規性(N)

請求の範囲

1-16

有

請求の範囲

無

進歩性(IS)

請求の範囲

1-16

有

請求の範囲

無

産業上の利用可能性(IA)

請求の範囲

1-16

有

請求の範囲

無

2. 文献及び説明(PCT規則70.7)

請求の範囲1~10は、

記憶手段に供給されるアドレス信号を比較手段における比較結果に基づいて変換する可変アドレス変換手段を含む半導体集積回路である点については、国際調査報告に列記されたいずれの文献にも記載されておらず当業者にとって自明のものでもない。

請求の範囲11~16は、

論理機能をハードウェア記述言語によって表したところの記述から得られた情報を保持し、そのアドレス端子に供給される信号を入力信号として、入力信号に従った論理機能の出力をその出力端子から得る記憶手段を含む半導体集積回路である点については、国際調査報告に列記されたいずれの文献にも記載されておらず当業者にとって自明のものでもない。